

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-214828

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

G09G 3/36  
 G02F 1/133  
 G09G 3/20  
 H04N 5/66

(21)Application number : 11-013431

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.01.1999

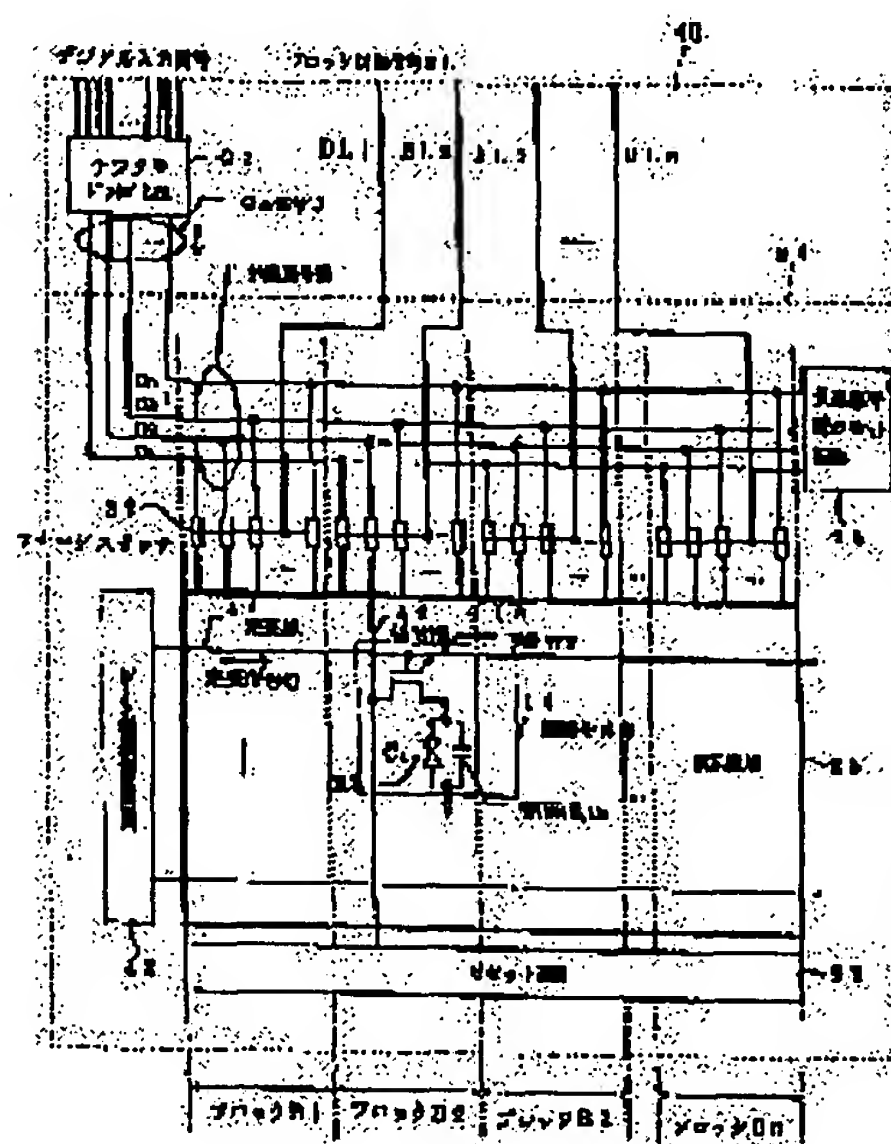
(72)Inventor : CHO KOYU  
MIWA YUICHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display device performing high-quality liquid crystal display.

**SOLUTION:** When an analog switch 32 of a block B1 becomes an 'on' state, a display signal D is given only for a block control time Tb to the block B1 of a display area 25 from a digital driver LSI22 via common signal lines D1, ..., Dn. When the display signal D is provided to the block B1, a reset signal is supplied from a timing generating circuit to a reset circuit 26, and an electric potential of common signal lines D1, ..., Dn is set as a resetting electric potential. When on horizontal scanning period ends, it becomes a blanking period. When the blanking period ends, a reset signal is supplied from the timing generating circuit to a reset circuit 28. Thus, the reset circuit 28 is actuated, and the electric potential of a signal line 46 becomes the resetting electric potential.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl.	識別記号	F I	テマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 R 5 C 0 5 8
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 B 5 C 0 8 0

審査請求 未請求 請求項の数12 OL (全 27 頁)

(21)出願番号 特願平11-13431

(22)出願日 平成11年1月21日(1999.1.21)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)發明者 張 宏勇

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 三輪 裕一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100070150

井理士 伊東 忠彦

**最終頁に続く**

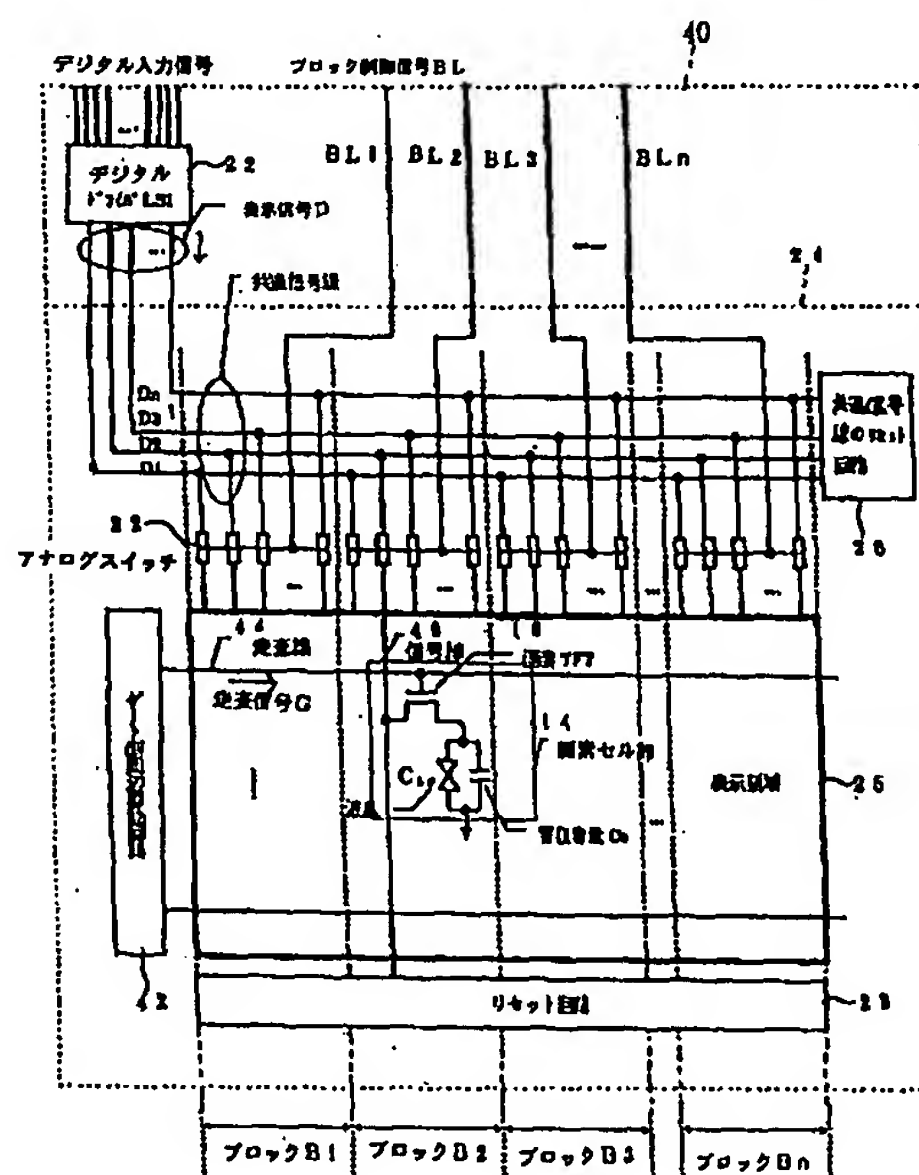
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】本発明は、高品質な液晶表示を行う液晶表示装置を提供することを課題とする。

【解決手段】ブロックB1のアナログスイッチ32がオン状態となると、表示領域25のブロックB1にブロック制御時間Tbだけ共通信号線D1～Dnを介してデジタルドライバLSI22から表示信号Dが与えられる。ブロックB1に表示信号Dが与えられると、次に、図示しないタイミング生成回路からリセット回路26にリセット信号Rが供給され、共通信号線D1～Dnの電位がリセット電位Vrsとされる。また、1水平走査期間が終了すると、ブランキング期間Tbkとなる。ブランキング期間Tbkの終了の際には、タイミング生成回路からリセット回路28にリセット信号Rが供給される。この結果、リセット回路28が動作して、信号線46の電位がリセット電位Vrsとされる。

本発明の第１実施例である液晶表示装置の構成図



## 【特許請求の範囲】

【請求項1】 表示パネル内にマトリクス状に配置された画素セルと、  
前記画素セルに接続された複数の信号線及び走査線と、  
前記信号線に表示信号を与えるドライバと、  
所定の周期で前記信号線の電位を所定の電位にリセットするリセット回路とを有することを特徴とする液晶表示装置。

【請求項2】 表示パネル内にマトリクス状に配置された画素セルと、  
前記画素セルに接続された複数の信号線及び走査線と、  
前記信号線に接続されたアナログスイッチと、  
共通信号線を介して前記アナログスイッチと接続され、オン状態のアナログスイッチを介して前記信号線に表示信号を与えるドライバと、  
所定の周期で前記信号線の電位を所定の電位にリセットするリセット回路とを有することを特徴とする液晶表示装置。

【請求項3】 請求項1又は2記載の液晶表示装置において、前記リセット回路は、前記信号線に接続されていることを特徴とする液晶表示装置。

【請求項4】 請求項1又は2記載の液晶表示装置において、前記リセット回路は、前記ドライバの出力部に接続されていることを特徴とする液晶表示装置。

【請求項5】 請求項1又は2記載の液晶表示装置において、前記リセット回路は、前記信号線に接続された第1のリセット回路と、前記ドライバの出力部に接続された第2のリセット回路とを有することを特徴とする液晶表示装置。

【請求項6】 請求項2記載の液晶表示装置において、前記リセット回路は、前記共通信号線に接続されていることを特徴とする液晶表示装置。

【請求項7】 請求項2記載の液晶表示装置において、前記リセット回路は、前記信号線に接続された第3のリセット回路と、前記ドライバの出力部と前記共通信号線の何れか一方に接続された第4のリセット回路とを有することを特徴とする液晶表示装置。

【請求項8】 請求項1～7いずれか1項記載の液晶表示装置において、  
前記リセット回路は、1水平走査のブランキング期間中にリセット信号が与えられることによって前記信号線の電位を前記所定の電位にリセットすることを特徴とする液晶表示装置。

【請求項9】 複数のブロックに分割された表示パネル内にマトリクス状に配置された画素セルと、  
前記画素セルに接続された複数の信号線及び走査線と、  
前記信号線に接続されたアナログスイッチと、  
共通信号線を介して前記アナログスイッチと接続され、ブロック制御信号によって順次活性化されるブロック内の信号線に表示信号を与えるドライバと、

所定の周期で前記信号線の電位を所定の電位にリセットするリセット回路とを有することを特徴とする液晶表示装置。

【請求項10】 請求項9記載の液晶表示装置において、前記リセット回路は、1ブロック走査又は1水平走査のブランキング期間毎にリセット信号が与えられることによって前記信号線の電位を前記所定の電位にリセットすることを特徴とする液晶表示装置。

【請求項11】 請求項1～10いずれか1項記載の液晶表示装置において、前記所定の電位の極性は、交流信号である前記表示信号に同期して反転することを特徴とする液晶表示装置。

【請求項12】 表示信号を生成する内部LSI回路と、OPアンプと、外部への表示信号の出力部の電位を所定の電位にリセットするリセット回路とを有することを特徴とする液晶表示パネル駆動用のデータドライバLSI。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関し、特に、所定の周期で信号線の電位を基準電位にリセットするリセット回路を備える液晶表示装置に関する。近年、より高品質な液晶表示を行い得る液晶表示装置が望まれている。

## 【0002】

【従来の技術】 図1は、従来のアクティブ型の液晶表示装置10の基本構成図である。図1に示すように、液晶表示装置10は、信号線部12と画素セル部14を有する。また、画素セル部14は、画素TFT (Thin Film Transistor) 16、液晶 $C_{LC}$ 及び蓄積容量 $C_s$ を有する。

【0003】 液晶表示時には、図示しないゲートドライバから走査線に走査信号Gが与えられる。そして、走査信号Gが画素TFT 16のゲート電極に入力することにより、画素TFT 16がオンとなる。一方、信号線部12には、図示しないデータドライバから入力部18を介して表示信号Dが与えられる。表示信号Dは、オン状態の画素TFT 16を通過すると、液晶 $C_{LC}$ と蓄積容量 $C_s$ に書き込まれる。そして、表示信号Dが液晶 $C_{LC}$ と蓄積容量 $C_s$ に書き込まれることによって発生する画素電位 $V_s$ と、図示しない対向電極の電位との電位差に基づき液晶表示が行われる。書き込まれた表示信号Dは、再び走査信号Gが画素TFT 16に供給されるまで保持される。この表示信号Dが保持されている期間を信号保持期間とする。なお、図1において、 $R_{SL}$ 、 $C_{SL}$ は、それぞれ信号線部12の抵抗値及び電気容量を示す。

【0004】 液晶 $C_{LC}$ に長時間にわたって直流電圧が供給され続けると、液晶 $C_{LC}$ の材料特性が変化して液晶 $C_{LC}$ が劣化してしまう。そこで、従来より液晶表示装置10は、電圧の極性を所定の周期で反転させた交流電圧に



よって駆動されている。図2及び図3は、液晶表示装置10の画素セル部14に供給される走査信号G及び表示信号Dの波形図である。図2は、液晶表示装置10が備える表示パネルの上側に配置された画素セル部14に供給される走査信号G及び表示信号Dの波形を示す。また、図3は、液晶表示装置10が備える表示パネルの下側に配置された画素セル部14に供給される走査信号G及び表示信号Dの波形を示す。

【0005】図2及び図3に示すように、1フレームは第1及び第2フィールドに分割されている。そして、液晶表示装置10が有する表示パネル内の各画素セル部14に対して、第1フィールドでは、 $+V_{max}$ （例えば、 $+5V$ ）から $+V_{min}$ （例えば、 $+2V$ ）の範囲の電位の表示信号Dが供給され、第2フィールドでは、 $-V_{max}$ （例えば、 $-5V$ ）から $-V_{min}$ （例えば、 $-2V$ ）の範囲の電位の表示信号Dが供給される。ここで、表示信号Dの振幅の中心値は $V_{com}$ （例えば、 $0V$ ）である。

【0006】図2に示すように、表示パネルの上側の画素TFT16に供給される走査信号Gの電位は、第1及び第2フィールドの開始直後に $-V_g$ （例えば、 $-8V$ ）から $+V_g$ （例えば、 $+8V$ ）になる。この時、表示パネルの上側に配列された画素TFT16がオンとされ、表示信号Dが書き込まれる。一方、図3に示すように、表示パネルの下側の画素TFT16に供給される走査信号Gの電位は、第1及び第2フィールドの終了間際に $-V_g$ から $+V_g$ になる。この時、表示パネルの下側に配列された画素TFT16がオンとされ、表示信号Dが書き込まれる。

【0007】なお、図2及び図3において、 $V_{gs}$ は、液晶表示装置10が有する画素TFT16のゲート・ソース間電圧を示し、 $V_{ds}$ は、画素TFT16のソース・ドレイン間電圧を示す。例えば、 $V_{max}=5V$ 、 $V_{min}=2V$ 、 $V_g=8V$ の場合、図2に示すように、表示パネルの上側に配置された画素TFT16における電圧 $V_{gs}$ 、 $V_{ds}$ は、それぞれ $3V$ 、 $0.5V$ である。また、図3に示すように、表示パネルの下側に配置された画素TFT16における電圧 $V_{gs}$ 、 $V_{ds}$ は、それぞれ $13V$ 、 $10V$ である。このように液晶表示装置10が有する表示パネルにおける画素TFT16の上下の配置位置によって画素TFT16の電圧 $V_{gs}$ 、 $V_{ds}$ が異なる。

【0008】図4は、画素TFT16のドレイン電流 $I_d$ とゲート電極の電圧 $V_g$ との関係を示す図である。図4に示すように、画素TFT16に対する表示信号Dの書き込み時の充電電流であるオン電流と、電荷保持時のリーク電流であるオフ電流の大きさは、画素TFT16に印可されている電圧 $V_{ds}$ 及び電圧 $V_{gs}$ によって異なる。ここで、図2及び図3を用いて説明したように液晶表示装置10が有する表示パネルにおける画素TFT

16の上下の配置位置によって画素TFT16の電圧 $V_{gs}$ 、 $V_{ds}$ が異なる。つまり、液晶表示装置10が備える表示パネルの上側と下側では、画素TFT16のオン電流およびオフ電流の大きさが異なる。

【0009】

【発明が解決しようとする課題】図5は、図1に示した信号線部12の電位 $V_{sl}$ のイニシャル電位 $V_{sl0}$ と、表示信号Dが与えられることによって、画素電位が電位 $V_s$ まで立ち上がるのに要する立ち上がり時間 $T_r$ との関係を示す図である。図5に示すように、例えば、イニシャル電位 $V_{sl0}$ が $V_1$ の場合、画素電位が電位 $V_s$ に立ち上がるまでには時間 $T_{r1}$ を要する。また、イニシャル電位 $V_{sl0}$ が $V_2$ の場合、画素電位が電位 $V_s$ に立ち上がるまでには、時間 $T_{r2}$ を要する。また、イニシャル電位 $V_{sl0}$ が $V_3$ の場合、画素電位が電位 $V_s$ に立ち上がるまでには、時間 $T_{r3}$ を要する。ここで、図5に示すように、電位 $V_1$ 、 $V_2$ 、 $V_3$ の大小関係は、 $V_1 > V_2 > V_3$ である。そして、立ち上がり時間 $T_{r1}$ 、 $T_{r2}$ 、 $T_{r3}$ の大小関係は、 $T_{r1} < T_{r2} < T_{r3}$ である。このように、画素電位が電位 $V_s$ になるまでに要する立ち上がり時間 $T_r$ は、信号線部12のイニシャル電位 $V_{sl0}$ の大きさに応じて異なる。

【0010】ここで、従来の液晶表示装置10では、走査信号Gが与えられる前の信号線部12のイニシャル電位 $V_{sl0}$ が信号線によって異なっていた。このため、画素電位の立ち上がり時間 $T_r$ も信号線によって異なり、表示信号Dの書き込み時間にばらつきが生じていた。表示信号Dの書き込み時間にばらつきがあるため、従来の液晶表示装置10では、均一な液晶表示が困難であった。

【0011】また、図2～図4を用いて説明したように、液晶表示装置10が備える表示パネルの上側に配置された画素TFT16のオフ電流に比して表示パネルの下側に配置された画素TFT16のオフ電流の方が遥かに大きい。このため、表示パネルの下側に配置された画素TFT16の画素電圧の低下率が表示パネルの上側に配置された画素TFT16の画素電圧の低下率よりも大きく、表示パネルにおいて輝度が不均一となる上下傾斜表示が発生していた。具体的には、例えば、液晶表示装置10が黒色の液晶表示を行う場合、表示パネルの下側の黒色表示が薄くなっていた。

【0012】本発明は、上記点に鑑みてなされたものであり、所定の周期で信号線電位を基準電位にリセットすることで、画素電位の立ち上がり時間 $T_r$ 及び画素TFT16のオフ電流を均一にして高品質な液晶表示を行う液晶表示装置を提供することを課題とする。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明では、以下の各手段を講じたことを特徴とするものである。請求項1記載の発明では、表示パネル内

にマトリクス状に配置された画素セルと、前記画素セルに接続された複数の信号線及び走査線と、前記信号線に表示信号を与えるドライバと、所定の周期で前記信号線の電位を所定の電位にリセットするリセット回路とを有することを特徴とする。

【0014】請求項2記載の発明では、表示パネル内にマトリクス状に配置された画素セルと、前記画素セルに接続された複数の信号線及び走査線と、前記信号線に接続されたアナログスイッチと、共通信号線を介して前記アナログスイッチと接続され、オン状態のアナログスイッチを介して前記信号線に表示信号を与えるドライバと、所定の周期で前記信号線の電位を所定の電位にリセットするリセット回路とを有することを特徴とする。

【0015】請求項3記載の発明では、請求項1又は2記載の液晶表示装置において、前記リセット回路は、前記信号線に接続されていることを特徴とする。請求項4記載の発明では、請求項1又は2記載の液晶表示装置において、前記リセット回路は、前記ドライバの出力部に接続されていることを特徴とする。請求項5記載の発明では、請求項1又は2記載の液晶表示装置において、前記リセット回路は、前記信号線に接続された第1のリセット回路と、前記ドライバの出力部に接続された第2のリセット回路とを有することを特徴とする。

【0016】請求項6記載の発明では、請求項2記載の液晶表示装置において、前記リセット回路は、前記共通信号線に接続されていることを特徴とする。請求項7記載の発明では、請求項2記載の液晶表示装置において、前記リセット回路は、前記信号線に接続された第3のリセット回路と、前記ドライバの出力部と前記共通信号線の何れか一方に接続された第4のリセット回路とを有することを特徴とする。

【0017】請求項1～7記載の発明によれば、リセット回路によって信号線等の電位が所定の周期で所定の電位にリセットされる。このため、表示信号の書き込み時の画素セルの電位の立ち上がり時間が均一となり、表示信号の書き込み時間が全ての画素セルで等しくなる。また、信号線等の電位が所定の周期で所定の電位にリセットされることによって、信号保持期間の各画素セルにおけるオフ電流も等しくなる。従って、表示パネルにおける輝度が均一な高品質の液晶表示が実現する。なお、液晶表示装置が備えるリセット回路の数や配置位置は、液晶表示装置内の回路構成等を考慮して、信号線電位を短時間で確実に所定の電位にリセットできるように決定されるものとする。

【0018】請求項8記載の発明では、請求項1～7いずれか1項記載の液晶表示装置において、前記リセット回路は、1水平走査のブランキング期間中にリセット信号が与えられることによって前記信号線の電位を前記所定の電位にリセットすることを特徴とする。請求項8記載の発明によれば、1水平走査のブランキング期間中に

信号線の電位が所定の電位にリセットされる。このため、全ての信号線のイニシャル電位が確実に均一になる。従って、表示信号の書き込み時の画素セルの電位の立ち上がり時間が確実に均一となる。

【0019】請求項9記載の発明では、複数のブロックに分割された表示パネル内にマトリクス状に配置された画素セルと、前記画素セルに接続された複数の信号線及び走査線と、前記信号線に接続されたアナログスイッチと、共通信号線を介して前記アナログスイッチと接続され、ブロック制御信号によって順次活性化されるブロック内の信号線に表示信号を与えるドライバと、所定の周期で前記信号線の電位を所定の電位にリセットするリセット回路とを有することを特徴とする。

【0020】請求項9記載の発明によれば、ブロック選択順次駆動される表示パネル内の信号線等の電位がリセット回路によって、所定の周期で所定の電位にリセットされる。このため、表示信号の書き込み時の画素セルの電位の立ち上がり時間が均一となり、表示信号の書き込み時間が全ての画素セルで等しくなる。また、信号線等の電位が所定の周期で所定の電位にリセットされることによって、信号保持期間の各画素セルにおけるオフ電流も等しくなる。従って、表示パネルにおける輝度が均一な高品質の液晶表示が実現する。

【0021】請求項10記載の発明では、請求項9記載の液晶表示装置において、前記リセット回路は、1ブロック走査又は1水平走査のブランキング期間毎にリセット信号が与えられることによって前記信号線の電位を前記所定の電位にリセットすることを特徴とする。請求項10記載の発明によれば、1ブロック又は1水平走査のブランキング期間中に信号線の電位が所定の電位にリセットされる。このため、全ての信号線のイニシャル電位が確実に均一になる。従って、表示信号の書き込み時の画素セルの電位の立ち上がり時間が確実に均一となる。

【0022】請求項11記載の発明では、請求項1～10いずれか1項記載の液晶表示装置において、前記所定の電位の極性は、交流信号である前記表示信号に同期して反転することを特徴とする。請求項12記載の発明では、表示信号を生成する内部LSI回路と、OPアンプと、外部への表示信号の出力部の電位を所定の電位にリセットするリセット回路とを有することを特徴とする。

【0023】

【発明の実施の形態】 先ず、本発明の原理を図6を用いて説明する。図6は、本発明の原理を説明するための液晶表示装置20の基本構成図である。図6に示すように、液晶表示装置20は、表示パネル24を有する。また、表示パネル24は、信号線部12及び画素セル部14等を備える。なお、図1に示した液晶表示装置10と同一の構成部には同一の符号を付している。

【0024】液晶表示装置20において、信号線部12は複数の信号線46を有し、信号線46にはリセット回



路26、28が接続されている。リセット回路26は、表示パネル24外で信号線46に接続されており、リセット回路28は、表示パネル24内で信号線46に接続されている。リセット回路26、28は、所定の周期で信号保持期間中に図示しないタイミング生成回路からリセット信号Rが供給されてオン状態となる。リセット回路26、28がオン状態となることで、表示パネル24外に設けられた図示しないリセット電圧発生源と信号線46が導通し、信号線46の電位がリセット電位（基準電位） $V_{rs}$ とされる。

【0025】上記のようにリセット回路26、28によって、表示信号Dが書き込まれる前の信号線46のインシヤル電位 $V_{sl0}$ が同一のリセット電位 $V_{rs}$ とされるので、各画素TFT16における電位の立ち上がり時間 $T_r$ が均一となる。このため、表示信号Dの書き込み時間が全ての画素TFT16で等しくなる。また、リセット回路26、28によって信号線46の電位がリセット電位 $V_{rs}$ にリセットされることで、各画素TFT16のオフ電流も等しくなる。従って、液晶表示装置20では、輝度が均一な高品質の液晶表示が行われる。なお、図6において、 $R_{sl}$ 、 $C_{sl}$ は、それぞれ信号線46の抵抗値と電気容量を示す。

【0026】図7は、液晶表示装置30の基本構成図である。本発明の原理は、図7に示すようなアナログスイッチ32を有する液晶表示装置30に適用してもよい。なお、上述の液晶表示装置10、20と同一の構成部には同一の符号を付している。液晶表示装置30では、アナログスイッチ制御信号Aが供給されることによってオン状態となったアナログスイッチ32を介して共通信号線D1～Dnと画素TFT16が導通する。この時、デジタルドライバLSI22からオン状態のアナログスイッチ32を介してオン状態の画素TFT16に表示信号Dが供給される。このように、液晶表示装置30では、アナログスイッチ32を制御することによって、表示信号Dを与える画素TFT16を選択することができる。

【0027】液晶表示装置30において、リセット回路26は共通信号線D1～Dnに接続されている。また、リセット回路28は信号線46に接続されている。リセット回路26は、信号保持期間中に図示しないタイミング生成回路からリセット信号Rが供給されると共通信号線D1～Dnの電位をリセット電位 $V_{rs}$ にする。また、リセット回路28は、信号保持期間中にタイミング生成回路からリセット信号Rが供給されると、信号線46の電位をリセット電位 $V_{rs}$ にする。

【0028】上記のようにリセット回路26、28によって、表示信号Dが書き込まれる前の共通信号線D1～Dn及び信号線46のインシヤル電位 $V_{sl0}$ が同一のリセット電位 $V_{rs}$ とされるので、各画素TFT16における電位の立ち上がり時間 $T_r$ が均一となる。このため、表示信号Dの書き込み時間が全ての画素TFT16

で等しくなる。また、リセット回路26、28によって共通信号線D1～Dn及び信号線46の電位がリセット電位 $V_{rs}$ にリセットされることで、各画素TFT16のオフ電流も等しくなる。従って、液晶表示装置30では、輝度が均一な高品質の液晶表示が行われる。なお、図7において、 $R_{sl}$ 、 $C_{sl}$ は、それぞれ共通信号線D1～Dnの抵抗値及び電気容量を示し、 $R_L$ 、 $C_L$ は、それぞれ信号線46の抵抗値及び電気容量を示す。

【0029】図6及び図7に示すリセット回路26、28は、例えば、図8及び図9に示すような構成とされる。図8は、NMOS型のリセット回路26、28の構成例を示す図である。また、図9は、CMOS型のリセット回路26、28の構成例を示す図である。リセット回路26、28を図8に示すようなNMOS型にすれば、簡単な構成のリセット回路26、28を実現することができる。また、リセット回路26、28を図9に示すようなCMOS型にすれば、リセット回路26、28の駆動能力を大きくすることができる。この場合、信号線46のリセット時間を短縮化することができる。なお、リセット回路26、28をPMOS型にしてもよい。また、リセット回路26、28をダブルゲートのNMOS型、CMOS型としてもよい。この場合、信号保持期間中の画素TFT16のリーク電流をより小さくすることができる。

【0030】なお、信号線46に表示信号Dを供給するデジタルドライバLSI22内にリセット回路26を配置してもよい。図10は、内部にリセット回路26を有するデジタルドライバLSI22のリセット信号出力部の等価回路図である。図10に示すように、デジタルドライバLSI22は、内部LSI回路34、リセット回路26、OPアンプ36、保護素子38、39等を有する。内部LSI回路34の出力信号である表示信号Dは、OPアンプ34を介して図示しない表示パネル24側に供給される。信号線46の電位のリセット時には、図示しないタイミング生成回路からリセット回路26にリセット信号Rが供給される。この結果、リセット回路26により内部LSI回路34とOPアンプ36との間のリセットポイント40がリセット電位 $V_{rs}$ とされる。

【0031】続いて、上記本発明の原理が適用された液晶表示装置の実施例について説明する。図11は、本発明の第1実施例である液晶表示装置40の構成図である。図11に示すように、液晶表示装置40は、デジタルドライバLSI22、ブロック制御線BL1～BLn、表示パネル24等を有する。また、表示パネル24内には、表示領域25、共通信号線D1～Dn、複数のアナログスイッチ32、ゲート側周辺駆動回路42、リセット回路26、28等が設けられている。液晶表示装置40では、液晶表示が行われる表示領域25とゲート側周辺駆動回路42等の周辺回路とが表示パネル24に

一体形成されており、液晶表示装置40の小型化が図られている。なお、上述の液晶表示装置10、20、30と同一の構成部には、同一の符号を付している。

【0032】表示領域25は、 $n$ 個のブロックB1～B $n$ に分割されており、各ブロックB1～B $n$ には、マトリクス状に走査線44と信号線46が配列されている。そして、走査線44と信号線46の各交点には、画素セル部14が設けられている。画素セル部14は、画素TFT16、液晶C<sub>LC</sub>、蓄積容量C<sub>s</sub>等から構成されている。また、 $p-Si$ TFTである画素TFT16のゲート電極は走査線44に接続され、ソース電極は信号線46に接続され、ドレイン電極は液晶C<sub>LC</sub>及び蓄積容量C<sub>s</sub>に接続されている。

【0033】複数のアナログスイッチ32は、各ブロックB1～B $n$ 毎に $n$ 個ずつ配置されている。共通信号線D1～D $n$ は、各ブロック毎にそれぞれ対応して配置されたアナログスイッチ32を介して表示パネル24内の信号線46に接続されている。表示パネル24内において、リセット回路26は、共通信号線D1～D $n$ に接続されており、リセット回路28は、信号線46に接続されている。なお、リセット回路26、28の配置場所は、図11に示す位置に限らない。例えば、リセット回路26を表示パネル24外に設けたデジタルドライバLSI22の表示信号出力部に接続してもよい。

【0034】図11に示すように、デジタルドライバLSI22は、共通信号線D1～D $n$ に接続されている。また、デジタルドライバLSI22は、図示しない外部データドライバからデジタル信号を受け取ると、アナログ変換して表示信号Dを出力する。表示信号Dは、デジタルドライバLSI22から時分割で各ブロック毎に共通信号線D1～D $n$ を介して表示パネル24側へ送信される。なお、デジタルドライバLSI22を表示パネル24内に設けてもよい。

【0035】アナログスイッチ32には、ブロック制御線BL1～BL $n$ を介してアナログスイッチ32をオン状態とするブロック制御信号BLが与えられる。液晶表示装置40の駆動時には、まず、ゲート側周辺駆動回路42から走査線44に走査信号Gが与えられる。そして、走査信号Gが画素TFT16のゲート電極に入力することで画素TFT16がオン状態とされる。一方、信号線46には、ブロック制御信号BLによってオン状態とされたアナログスイッチ32を介して共通信号線D1～D $n$ から表示信号Dが与えられる。そして、表示信号Dがオン状態の画素TFT16に入力することで、液晶表示が行なわれる。

【0036】共通信号線D1～D $n$ の電位は、リセット回路26によって所定の周期で基準電位V<sub>rs</sub>にリセットされ、信号線46の電位は、リセット回路28によって所定の周期で基準電位V<sub>rs</sub>にリセットされる。次に、図11及び図12を用いて液晶表示装置40の動作

説明を行う。図12は、液晶表示装置40に与えられる表示信号D、走査信号G、ブロック制御信号BL及びリセット信号Rのタイミング図である。

【0037】図12に示すように、ゲート側周辺駆動回路42から表示領域25にハイレベルの走査信号Gが与えられると、まず、1ブロック制御期間T<sub>b</sub>分だけハイレベルのブロック制御信号BLがブロックB1のアナログスイッチ32に与えられて該アナログスイッチ32をオン状態とする。この時、表示領域25のブロックB1に時間T<sub>b</sub>だけ共通信号線D1～D $n$ を介してデジタルドライバLSI22から表示信号Dが与えられる。

【0038】ブロックB1に表示信号Dが与えられると、次に、表示パネル24外に設けられた図示しないタイミング生成回路からリセット回路26にリセット信号Rが供給される。この結果、リセット回路26が動作して、共通信号線D1～D $n$ の電位がリセット電位V<sub>rs</sub>（例えば、V<sub>com</sub>）とされる。そして、次に、時間T<sub>b</sub>だけハイレベルのブロック制御信号BLがブロックB2のアナログスイッチ32に与えられて、ブロックB2のアナログスイッチ32をオン状態とする。この時、ブロックB2に時間T<sub>b</sub>だけ共通信号線D1～D $n$ を介してデジタルドライバLSI22から表示信号Dが与えられる。ブロックB2に表示信号Dが与えられると、次に、タイミング生成回路からリセット回路26にリセット信号Rが供給される。この結果、リセット回路26が動作して、共通信号線D1～D $n$ の電位がリセット電位V<sub>rs</sub>とされる。

【0039】上記のような動作が繰り返され、ブロックB $n$ にも表示信号Dが与えられ、共通信号線D1～D $n$ の電位がリセット回路26によってリセット電位V<sub>rs</sub>とされると、次に、ブランキング期間T<sub>bk</sub>となる。このブランキング期間T<sub>bk</sub>の開始後、時間T<sub>b</sub>が経過すると、表示領域25に入力する走査信号Gはロウレベルとされる。そして、ブランキング期間T<sub>bk</sub>が終了の際には、タイミング発生回路からリセット回路28にリセット信号Rが供給される。この結果、リセット回路28が動作して、信号線46の電位がリセット電位V<sub>rs</sub>とされる。そして、1水平走査期間T<sub>h</sub>が終了となる。1水平走査期間T<sub>h</sub>が終了すると、次の走査線44の走査が行なわれ、再び、ブロックB1からブロックB $n$ まで順次表示信号Dが与えられていく。

【0040】ここで、図12に示すT<sub>on</sub>及びT<sub>off</sub>は、それぞれ走査信号Gの立ち上がり時間と立ち下がり時間を示す。また、ブランキング期間T<sub>bk</sub>は、ブロック制御期間T<sub>b</sub>より十分に長く、 $T_{bk} > T_b + T_{on} + T_{off}$ とする。なお、液晶表示装置40において、1水平走査期間T<sub>h</sub>中にブロックB1～B $n$ のアナログスイッチ32が全て同時にオン状態とするように、ブロック制御信号BLがアナログスイッチ32に与えられる構成としてもよい。



【0041】上記のように、液晶表示装置40では、ブロック選択順次駆動が行なわれる。図12に示すように、ブロック選択順次駆動を行なう液晶表示装置40の1ブロック当たりの表示信号Dの書き込み時間（ブロック制御期間） $T_b$ は、 $T_b = (T_h - T_{bk}) / n$ である。従って、液晶表示装置40のブロック数 $n$ が少ない程、1ブロック当たりの表示信号Dの書き込み時間 $T_b$ をより長くすることができる。そして、1ブロック当たりの書き込み時間 $T_b$ が長くなると、画素TF T 16の特性のばらつきに起因する走査信号Gの立ち上がり時間 $T_{on}$ 及び立ち下がり時間 $T_{off}$ の変動分が表示信号Dの書き込み時間 $T_b$ に占める割合が小さくなる。このため、各ブロックへの表示信号Dの書き込み時間 $T_b$ が十分に確保され、表示信号Dの書き込み時間 $T_b$ のばらつきによるレーザスキャン縞模様及び縦縞模様のような表示不良モードが防止される。

【0042】また、リセット回路26が1ブロック走査終了毎に共通信号線D1～Dnの電位をリセット電位 $V_{rs}$ にリセットし、リセット回路28が1水平走査終了毎に信号線46の電位をリセット電位 $V_{rs}$ にリセットするので、各画素TF T 16の電位の立ち上がり時間 $T_r$ が統一され、画素TF T 16の電位の立ち上がり時間 $T_r$ のばらつきに起因する表示信号Dの書き込み時間のばらつきが防止される。更に、信号線46の電位が所定の周期でリセット電位 $V_{rs}$ にリセットされることによって、表示パネル24の上側と下側の画素TF T 16のオフ電流に差がなくなるので、液晶表示装置40では、輝度が均一で高品質の液晶表示が行われる。

【0043】なお、液晶表示装置40では、リセット回路26、28のいずれか一方のみを設ける構成としてもよい。また、リセット回路26、28にリセット信号Rが与えられるタイミングは、図12に示すタイミングに限らず、本発明の原理を満たす範囲で他のタイミングでもよいものとする。図13は、ブロック制御信号BLとリセット信号Rと信号線電位の関係を示すタイミング図である。

【0044】図13に示すように、例えば、ブロックB1の制御期間中は、ブロックB1に対応する信号線46の電位が $V_s$ となる。そして、ブロックB1の制御期間終了直後にリセット回路26にリセット信号Rが供給され、ブロックB1に対応する信号線46の電位がリセット電位（基準電位）である $V_{com}$ とされる。同様に、ブロックB2の制御期間終了直後にリセット回路26にリセット信号Rが供給され、ブロックB2に対応する信号線46の電位がリセット電位（基準電位）である $V_{com}$ とされ、ブロックBnの制御期間終了直後にリセット回路26にリセット信号Rが供給され、ブロックBnに対応する信号線46の電位がリセット電位（基準電位）である $V_{com}$ とされる。なお、リセット電位 $V_{rs}$ は、 $V_{com}$ に限らず、他の値でもよい。

【0045】リセット電位 $V_{rs}$ が $V_{com}$ の場合、表示信号Dの書き込み期間以外には、表示パネル24の上側及び下側に配置された画素TF T 16のソース電極の電位は、共に、 $V_{com}$ とされる。この時、表示パネル24の上側及び下側に配置された画素TF T 16におけるオフ電流がほぼ同じとなるため、上下画面の画素TF T 16の実行電圧がほぼ同じとなり、表示パネル24における上下傾斜表示が防止される。

【0046】液晶表示装置40では、図14に示すように、表示信号Dの極性の変化に応じてリセット電位 $V_{rs}$ の極性を変化させてもよい。図14では、表示信号Dの極性の変化とリセット電位 $V_{rs}$ の極性の変化は同一とされている。例えば、表示信号Dの電位の範囲が $\pm V_{min} \sim \pm V_{max}$ の場合、リセット電位 $V_{rs}$ の範囲は、 $V_{rs} = \pm V_{min}$ とされる。

【0047】図15および図16は、リセット電位 $V_{rs}$ の極性の変化する場合の表示信号Dの電位変化を示す図である。図15は、リセット電位 $V_{rs}$ が $V_{rs} = \pm V_{min}$ である場合の表示信号Dの電位変化を示す。また、図16は、リセット電位 $V_{rs}$ が $V_{rs} = \pm 1/2 \Delta V_s$ である場合の表示信号Dの電位変化を示す。図15及び図16に示すように、リセット電位 $V_{rs}$ を $\pm V_{min}$ や $\pm 1/2 \Delta V_s$ とすることで、表示信号Dの書き込み時に電位 $V_{com}$ からの立ち上がり時間分の時間が短縮される。また、所定の周期で共通信号線D1～Dn及び信号線46をリセットすることで、液晶表示装置40が有するアナログスイッチ32の特性バラツキに起因する表示信号Dの立ち上がり時間 $T_r$ のバラツキが防止される。更に、リセット電位 $V_{rs}$ を $\pm V_{min}$ や $\pm 1/2 \Delta V_s$ とすると、アナログスイッチ32に予備バイアスがかけられることになるため、表示信号Dの書き込み時に信号線46を流れる初期の充電電流が大きくなり、表示信号Dを早く画素TF T 16に書き込むことができる。図16に示すように、リセット電位 $V_{rs}$ を $V_{rs} = \pm 1/2 \Delta V_s$ に設定すると、表示信号Dのレベルによらず、表示信号Dの立ち上がり時間がほぼ一定となる。

【0048】図17(a)、(b)は、リセット電位がフィールド反転される液晶表示装置40におけるリセット電位 $V_{rs}$ の極性を示す図である。図17(a)に示すように、正フィールドの時は、表示領域25内の全信号線46が正のリセット電位 $+V_{rs}$ とされる。また、図17(b)に示すように、負フィールドの時は、表示領域25内の全信号線46が負のリセット電位 $-V_{rs}$ とされる。図18は、リセット電位がフィールド反転される液晶表示装置40における表示信号D、リセット信号R及びリセット電位 $V_{rs}$ のタイミング図である。

【0049】図19(a)、(b)は、リセット電位 $V_{rs}$ がH/Vライン（ドット）反転される液晶表示装置40におけるリセット電位 $V_{rs}$ の極性を示す図であ

る。図19(a)に示すように、正フィールドの時は、例えば、偶数信号線46のリセット電位 $V_{rs1}$ が正のリセット電位 $+V_{rs}$ とされ、奇数信号線46のリセット電位 $V_{rs2}$ が負のリセット電位 $-V_{rs}$ とされる。また、図19(b)に示すように、負フィールドの時は、偶数信号線46のリセット電位 $-V_{rs1}$ が負のリセット電位 $-V_{rs}$ とされ、奇数信号線46のリセット電位 $+V_{rs2}$ が正のリセット電位 $V_{rs}$ とされる。リセット電位 $V_{rs1}$ 、 $V_{rs2}$ の極性はフィールドに応じてライン毎に変化する。図20は、リセット電位 $V_{rs1}$ 、 $V_{rs2}$ がH/Vライン反転される液晶表示装置40における表示信号D、走査信号G、リセット信号R及びリセット電位 $V_{rs1}$ 、 $V_{rs2}$ のタイミング図である。

【0050】ところで、本発明の原理は、ブロック選択順次駆動の液晶表示装置40に限らず、以下に示すような点順次駆動の液晶表示装置50や線順次駆動の液晶表示装置60、70に適用してもよい。図21は、本発明の第2実施例である液晶表示装置50の構成図である。液晶表示装置50は、点順次駆動される。

【0051】図21に示すように、液晶表示装置50は、共通信号線D1~Dn、p-SiTFTアナログスイッチ32、ゲート側周辺駆動回路42、表示領域25、シフトレジスタ回路52、バッファ回路54等を有する。なお、上述の液晶表示装置10、20、30、40と同一の構成部には、同一の符号を付している。液晶表示装置50が備えるシフトレジスタ回路52及びバッファ回路54は、アナログスイッチ32を制御するアナログスイッチ制御信号Aの発生回路である。また、シフトレジスタ回路52には、スタートパルスSP及びクロック信号CL、/CLが入力する。ここで、シフトレジスタ回路52の動作周波数は、例えば、0.5MHz程度である。

【0052】表示領域25には、マトリクス状に複数の走査線44と信号線46が配列されている。そして、走査線44と信号線46の各交点には、画素セル部14が設けられている。画素セル部14は、画素TFT16、液晶 $C_{lc}$ 、蓄積容量 $C_s$ 等から構成される。また、p-SiTFTである画素TFT16のゲート電極は走査線44に接続され、ソース電極は信号線46に接続され、ドレイン電極は液晶 $C_{lc}$ 及び蓄積容量Cに接続されている。共通信号線D1~Dnは、アナログスイッチ32を介して信号線46に接続可能とされている。

【0053】シフトレジスタ回路52とバッファ回路54からは、アナログスイッチ32をオン状態とするアナログスイッチ制御信号Aが与えられる。液晶表示装置50の駆動時には、まず、ゲート側周辺駆動回路42から走査線44に走査信号Gが与えられる。そして、走査信号Gが対応する画素TFT16のゲート電極に入力することで画素TFT16がオン状態とされる。一方、信号

線46には、共通信号線D1~Dnからアナログスイッチ制御信号Aによってオン状態とされたアナログスイッチ32を介して表示信号RGBが与えられる。そして、表示信号RGBがオン状態の画素TFT16に入力して、カラー液晶表示が行なわれる。

【0054】リセット回路26は、所定の周期で図示しないタイミング生成回路からリセット信号Rが供給されると共通信号線D1~Dnの電位をリセット電位 $V_{rs}$ （例えば、 $V_{com}$ ）にリセットする。また、リセット回路28は、所定の周期でタイミング生成回路からリセット信号Rが供給されると信号線46の電位をリセット電位 $V_{rs}$ にリセットする。

【0055】上記のように、リセット回路26が共通信号線D1~Dnの電位をリセット電位 $V_{rs}$ にリセットし、リセット回路28が信号線46の電位をリセット電位 $V_{rs}$ にリセットするので、各画素TFT16の電位の立ち上がり時間 $T_r$ が均一になり、画素TFT16の電位の立ち上がり時間 $T_r$ のばらつきに起因する表示信号Dの書き込み時間のばらつきが防止される。更に、信号線46の電位が所定の周期でリセット電位 $V_{rs}$ にリセットされることによって、液晶表示装置50が有する画素TFT16のオフ電流に差がなくなるので、液晶表示装置50では、輝度が均一で高品質の液晶表示が行われる。

【0056】図22は、本発明の第3実施例である液晶表示装置60の構成図である。液晶表示装置60は、線順次駆動される。図22に示すように、液晶表示装置60は、デジタルドライバLSI22、表示領域25、リセット回路26、28、ゲート側周辺駆動回路42、OPアンプ62等を有する。なお、上述の液晶表示装置10、20、30、40、50と同一の構成部には、同一の符号を付している。

【0057】リセット回路26は、デジタルドライバLSI22とOPアンプ62との間の信号線46上に設けられている。液晶表示装置60の駆動時には、まず、ゲート側周辺駆動回路42から走査線44に走査信号Gが与えられる。そして、走査信号Gが対応するp-SiTFTである画素TFT16のゲート電極に入力することで画素TFT16がオン状態とされる。一方、信号線46には、デジタルドライバLSI22から表示信号Dが与えられる。そして、表示信号Dがオン状態の画素TFT16に入力して、液晶表示が行なわれる。

【0058】リセット回路26は、所定の周期で図示しないタイミング生成回路からリセット信号Rが供給されるとデジタルドライバLSI22とOPアンプ62との間の信号線46の電位をリセット電位 $V_{rs}$ （例えば、 $V_{com}$ ）にリセットする。また、リセット回路28は、所定の周期で図示しないタイミング生成回路からリセット信号Rが供給されると信号線46の電位をリセット電位 $V_{rs}$ にリセットする。

【0059】上記のように、リセット回路26、28が信号線46の電位をリセット電位 $V_{rs}$ にリセットするので、各画素TFT16の電位の立ち上がり時間 $T_r$ が均一になり、画素TFT16の電位の立ち上がり時間 $T_r$ のばらつきに起因する表示信号Dの書き込み時間のばらつきが防止される。更に、信号線46の電位が所定の周期でリセット電位 $V_{rs}$ にリセットされることによって、液晶表示装置60が有する画素TFT16のオフ電流に差がなくなるので、液晶表示装置60では、輝度が均一で高品質の液晶表示が行われる。

【0060】なお、液晶表示装置60において、OPアンプ62の代わりにアナログスイッチ32を用いてもよい。図23は、本発明の第4実施例である液晶表示装置70の構成図である。液晶表示装置70は、線順次駆動される。図23に示すように、液晶表示装置70は、デジタルドライバLSI72、表示領域25、リセット回路28、ゲート側ドライバLSI74等を有する。なお、上述の液晶表示装置10、20、30、40、50、60と同一の構成部には、同一の符号を付している。

【0061】液晶表示装置70の駆動時には、まず、ゲート側ドライバLSI74から走査線44に走査信号Gが与えられる。そして、走査信号Gが対応するa-SiTFTである画素TFT16のゲート電極に入力することで画素TFT16がオン状態とされる。一方、信号線46には、デジタルドライバLSI72から表示信号Dが与えられる。そして、表示信号Dがオン状態の画素TFT16に入力して、液晶表示が行なわれる。

【0062】リセット回路28は、所定の周期で図示しないタイミング生成回路からリセット信号Rが供給されると信号線46の電位をリセット電位 $V_{rs}$ （例えば、 $V_{com}$ ）にリセットする。上記のように、リセット回路28が信号線46の電位をリセット電位 $V_{rs}$ にリセットすることによって、各画素TFT16の電位の立ち上がり時間 $T_r$ が均一になり、画素TFT16の電位の立ち上がり時間 $T_r$ のばらつきに起因する表示信号Dの書き込み時間のばらつきが防止される。更に、信号線46の電位が所定の周期でリセット電位 $V_{rs}$ にリセットされることによって、液晶表示装置70が有する画素TFT16のオフ電流に差がなくなるので、液晶表示装置70では、輝度が均一で高品質の液晶表示が行われる。

【0063】なお、デジタルドライバLSI72に対して液晶表示装置40が有するリセット回路26を接続して、所定の周期で信号線46の電位をリセット電位 $V_{rs}$ にリセットする構成としてもよい。また、デジタルドライバLSI72やゲート側ドライバLSI74の数は、液晶表示装置70内の走査線44及び信号線46の本数やデジタルドライバLSI72及びゲート側ドライバLSI74の駆動能力等に応じて適宜決定されるものとする。

【0064】上記実施例において、デジタルドライバLSI22が特許請求の範囲に記載のドライバ及びデータドライバLSIに相当する。また、リセット回路28が特許請求の範囲に記載の第1及び第3のリセット回路に相当し、リセット回路26が特許請求の範囲に記載の第2及び第4のリセット回路に相当する。更に、リセット電位 $V_{rs}$ が特許請求の範囲に記載の所定の電位に相当する。

【0065】

【発明の効果】上記のように、請求項1～12記載の発明によれば、リセット回路によって信号線等の電位が所定の周期で所定の電位にリセットされる。このため、表示信号の書き込み時の画素セルの電位の立ち上がり時間が均一となり、表示信号の書き込み時間が全ての画素セルで等しくなる。また、信号線等の電位が所定の周期で所定の電位にリセットされることによって、信号保持期間の各画素セルにおけるオフ電流も等しくなる。従って、表示パネルにおける輝度が均一な高品質の液晶表示が実現する。

【図面の簡単な説明】

【図1】従来の液晶表示装置の基本構成図である。

【図2】画素セル部に供給される走査信号及び表示信号の波形を示す図である。

【図3】画素セル部に供給される走査信号及び表示信号の波形を示す図である。

【図4】画素TFTのドレイン電流とゲート電極の電圧との関係を示す図である。

【図5】信号線部のイニシャル電位と画素電位の立ち上がり時間との関係を示す図である。

【図6】本発明の原理を説明するための液晶表示装置の基本構成図である。

【図7】アナログスイッチを備えた本発明の液晶表示装置の基本構成図である。

【図8】NMOS型のリセット回路の構成図である。

【図9】CMOS型のリセット回路の構成図である。

【図10】内部にリセット回路を有するデジタルドライバLSIのリセット信号出力部の等価回路図である。

【図11】本発明の第1実施例である液晶表示装置の構成図である。

【図12】本発明の液晶表示装置に与えられる表示信号、走査信号、ブロック制御信号及びリセット信号のタイミング図である。

【図13】ブロック制御信号とリセット信号と信号線電位との関係を示す図である。

【図14】リセット電位の極性の変化を示す図である。

【図15】表示信号の電位変化を示す図である。

【図16】リセット電位が $\pm 1/2 \Delta V_s$ である場合の表示信号の電位変化を示す図である。

【図17】フィールド反転される液晶表示装置におけるリセット電位の極性を示す図である。



【図18】フィールド反転される液晶表示装置における表示信号、リセット信号及びリセット電位のタイミング図である。

【図19】H/Vライン反転される液晶表示装置におけるリセット電位の極性を示す図である。

【図20】H/Vライン反転される液晶表示装置における表示信号、リセット信号、リセット電位のタイミング図である。

【図21】本発明の第2実施例である液晶表示装置の構成図である。

【図22】本発明の第3実施例である液晶表示装置の構成図である。

【図23】本発明の第4実施例である液晶表示装置の構成図である。

【符号の説明】

10、20、30、40、50、60、70 液晶表示装置

12 信号線部

14 画素セル部

16 画素TFT

18 入力部

22 デジタルドライバLSI

24 表示パネル

25 表示領域

26、28 リセット回路

32 アナログスイッチ

34 内部LSI回路

36、62 OPアンプ

38、39 保護素子

42 ゲート側周辺駆動回路

44 走査線

46 信号線

52 シフトレジスタ回路

54 バッファ回路

72 デジタルドライバLSI

74 ゲート側ドライバLSI

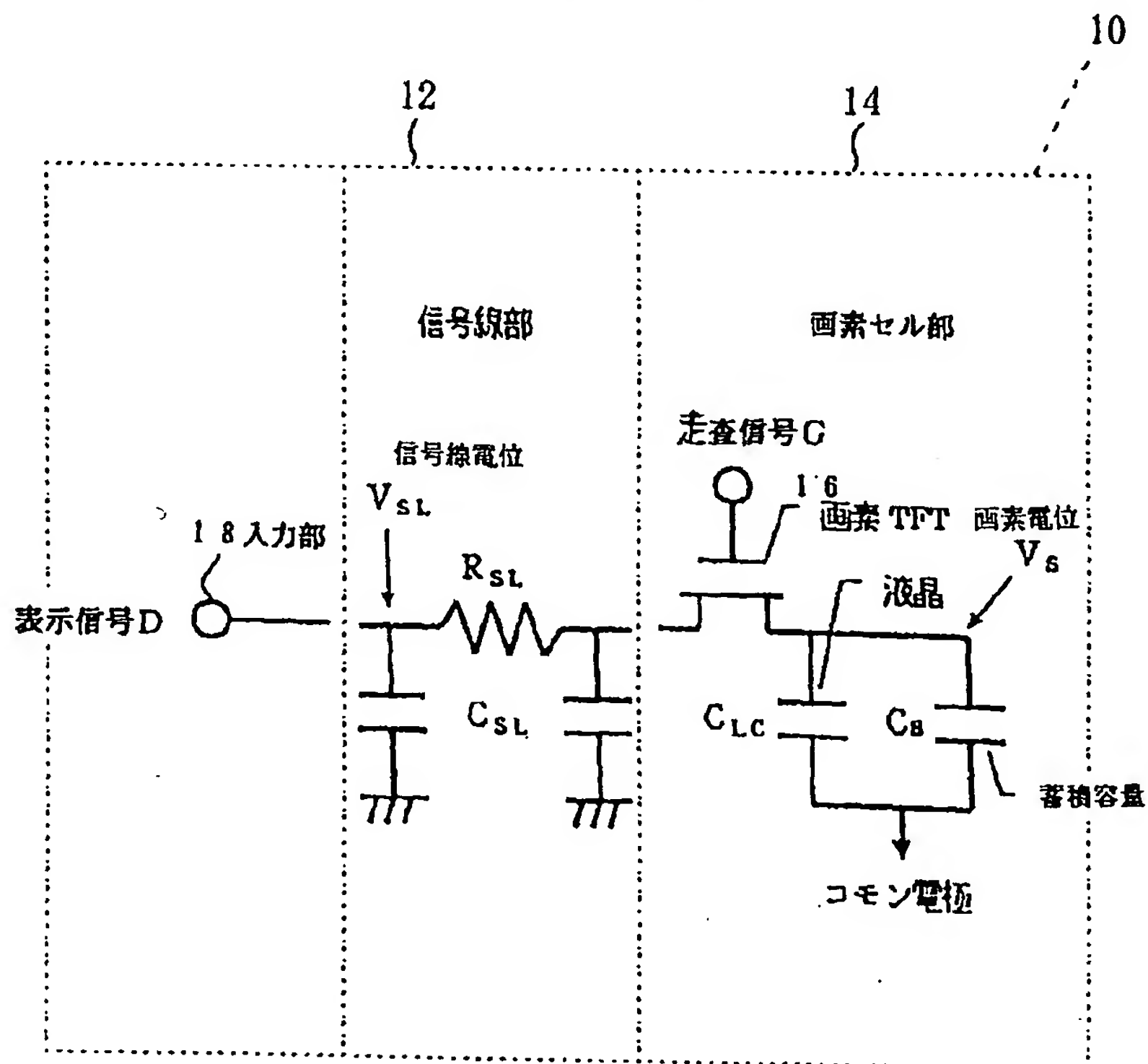
D1～Dn 共通信号線

B1～Bn ブロック

BL1～BLn ブロック制御線

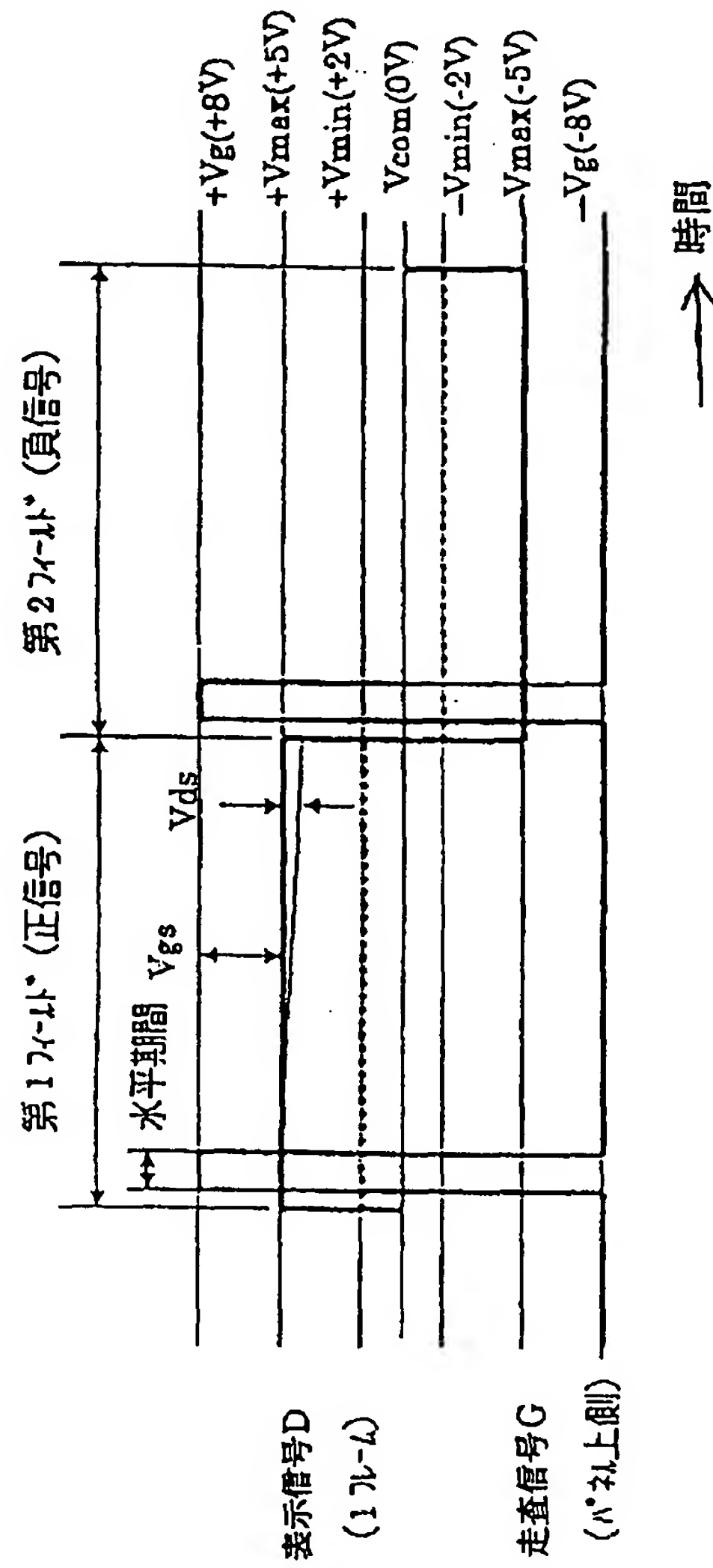
【図1】

従来の液晶表示装置の基本構成図



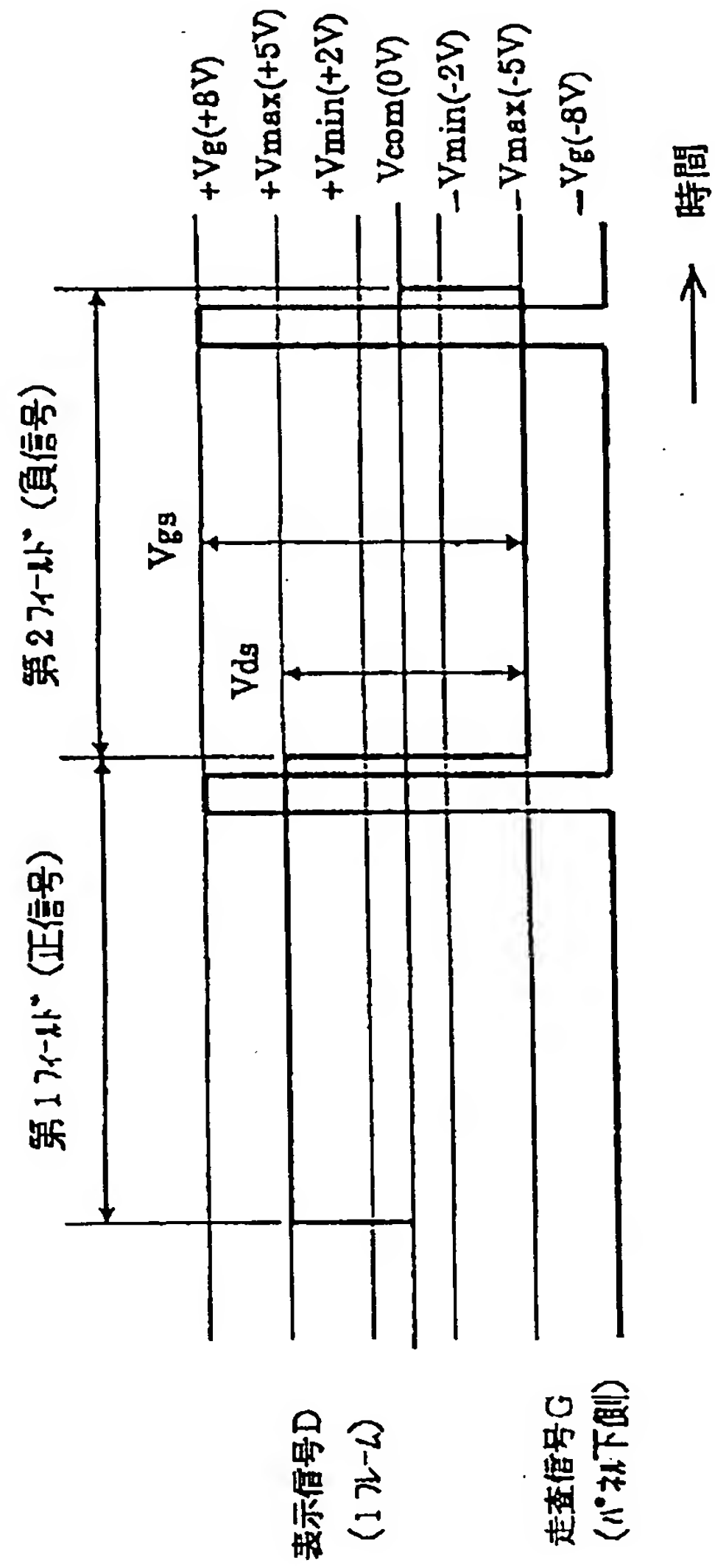
【図2】

画素セル部に供給される走査信号及び表示信号の波形を示す図



【図3】

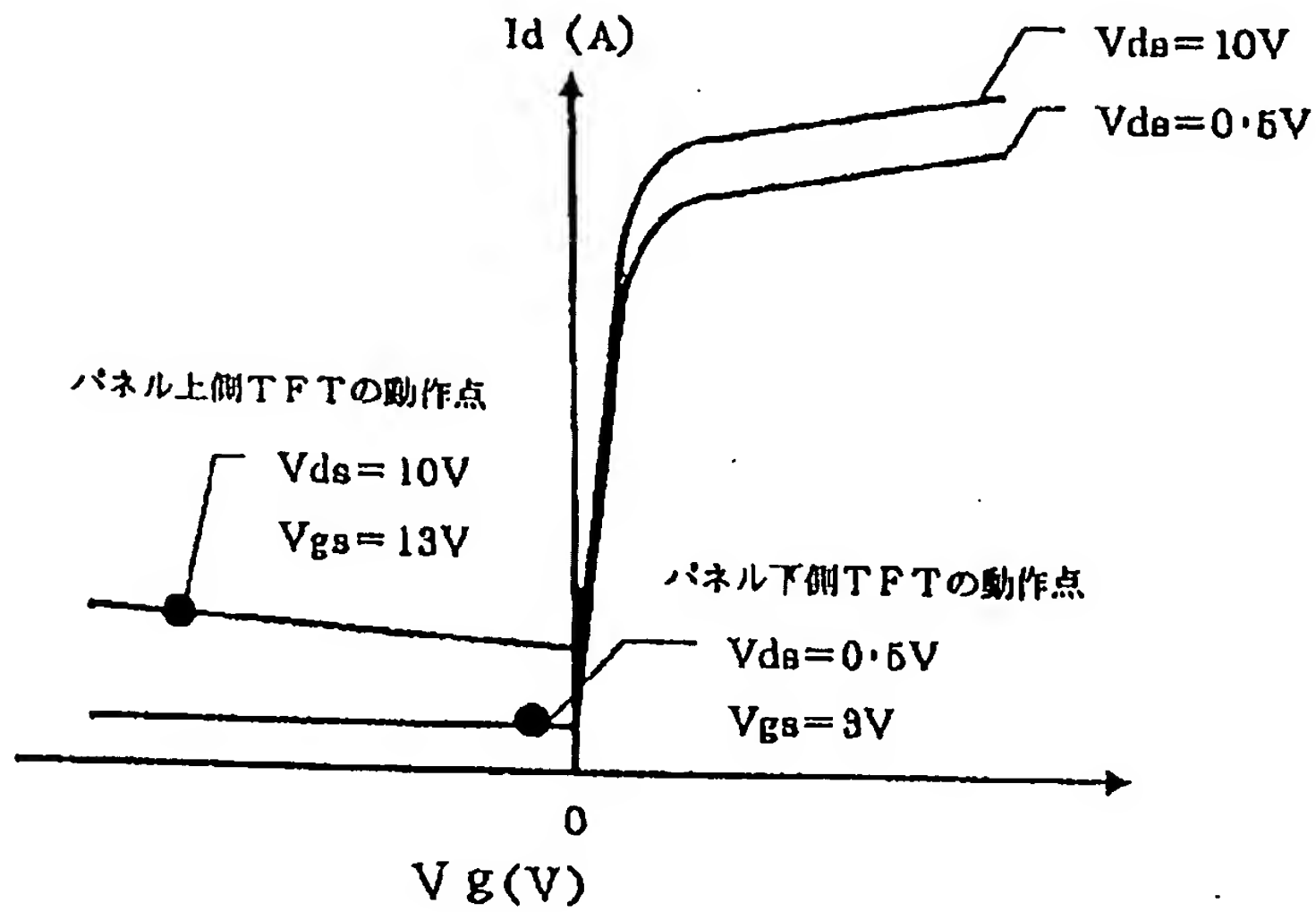
画素セル部に供給される走査信号及び表示信号の波形を示す図





【図4】

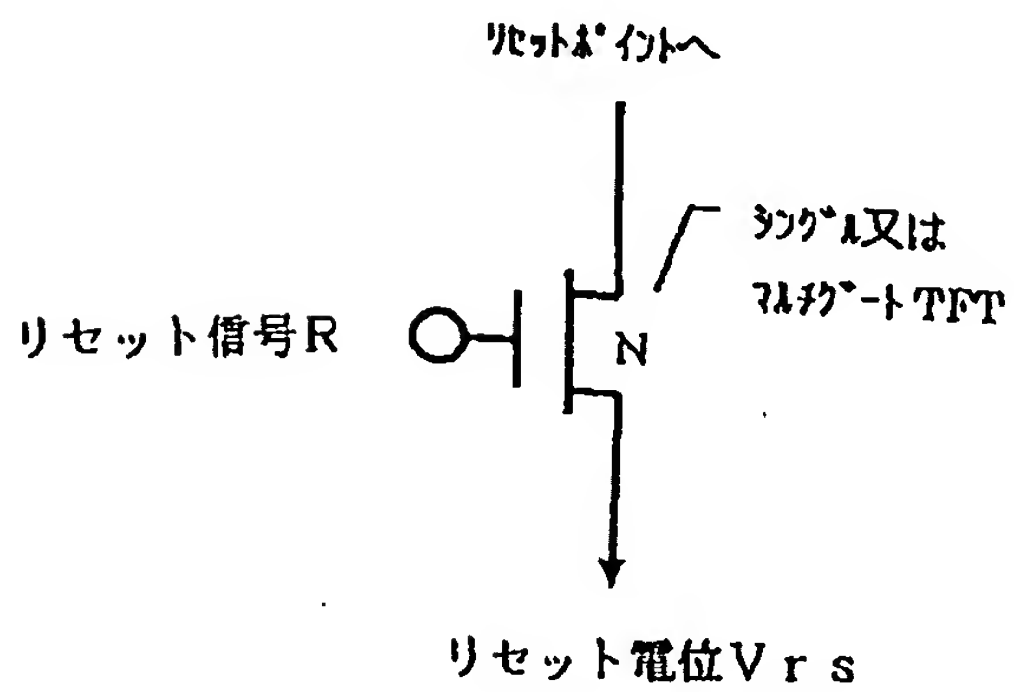
画素TFTのドレイン電流とゲート電極の電圧との関係を示す図



【図8】

NMOS型のリセット回路の構成図

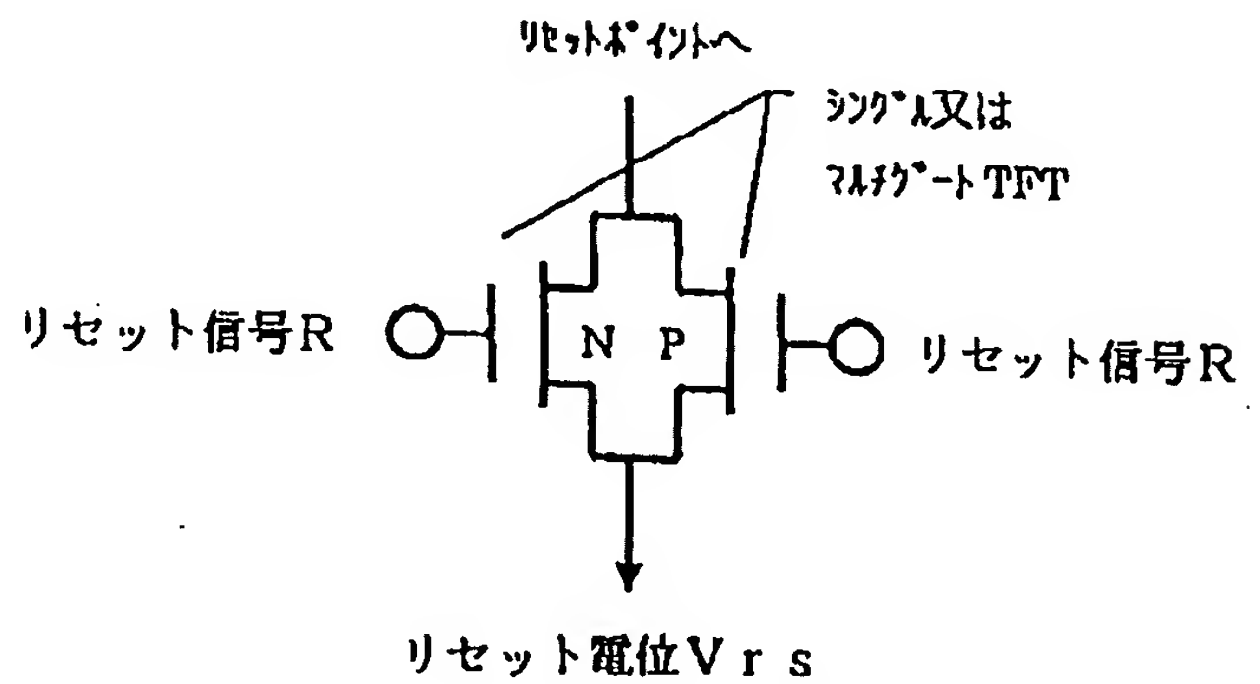
N MOS型



【図9】

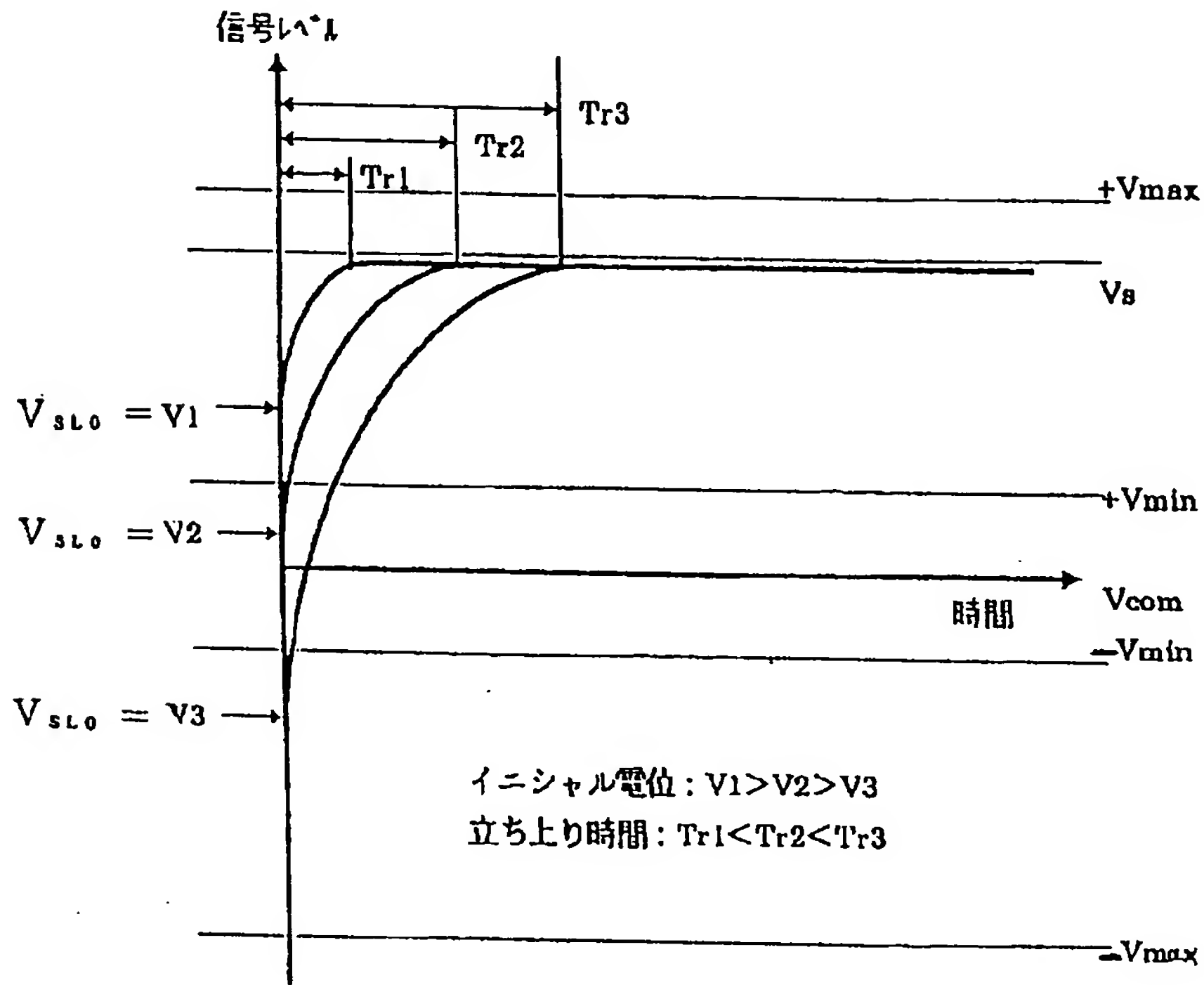
CMOS型のリセット回路の構成図

CMOS型



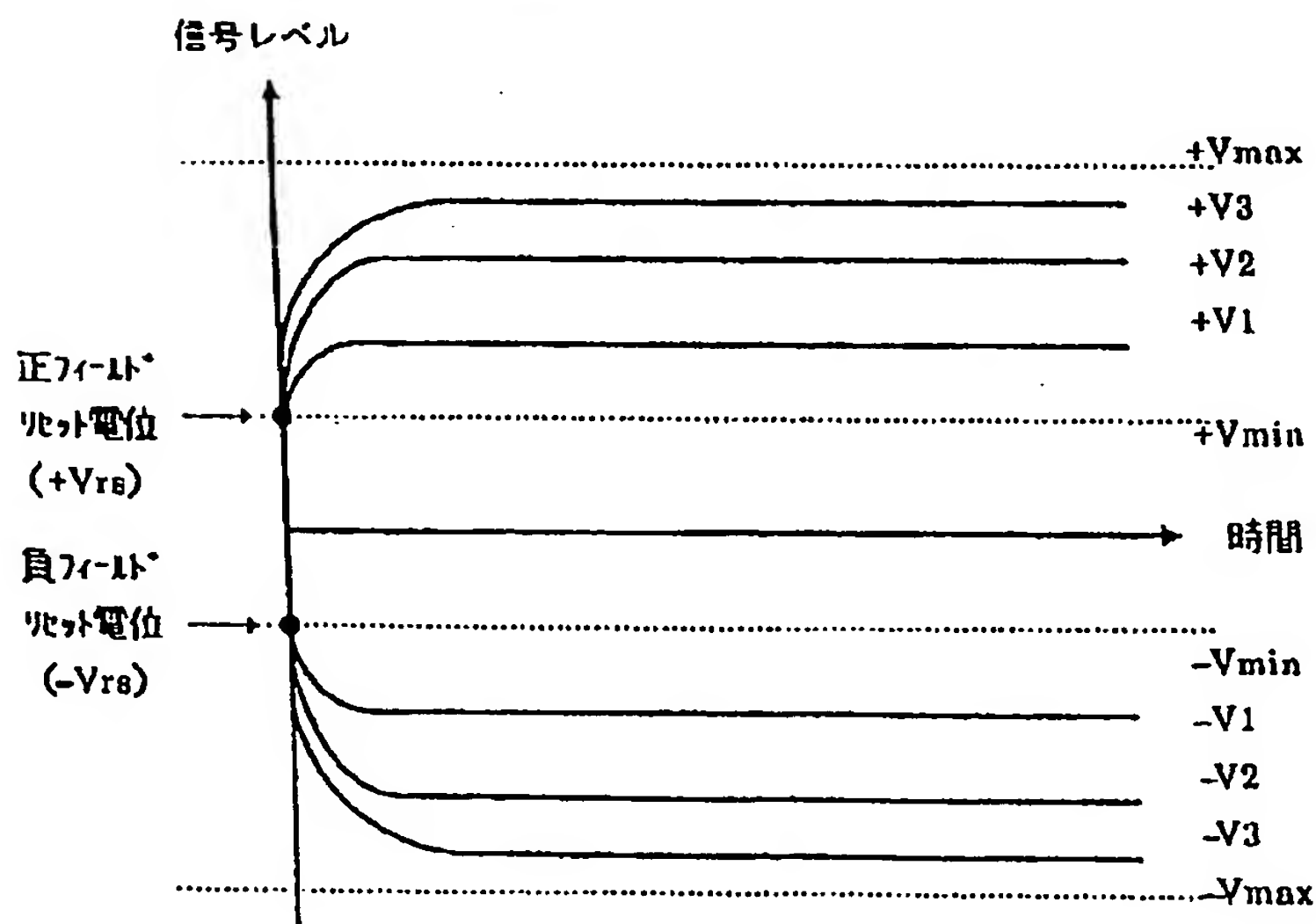
【図5】

信号線部のインシヤル電位と立ち上がり時間との関係を示す図



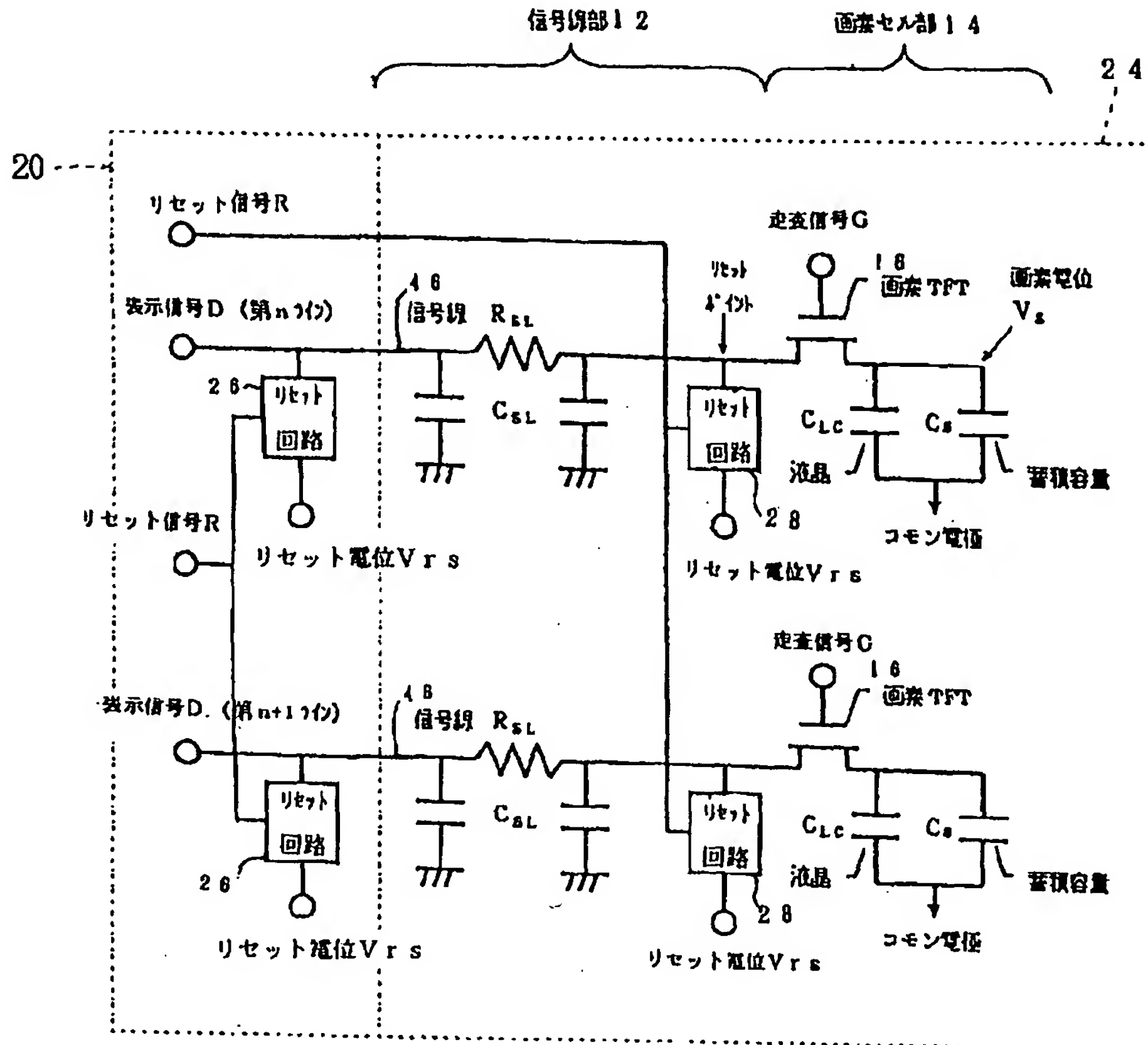
【図15】

表示信号の電位変化を示す図



【図6】

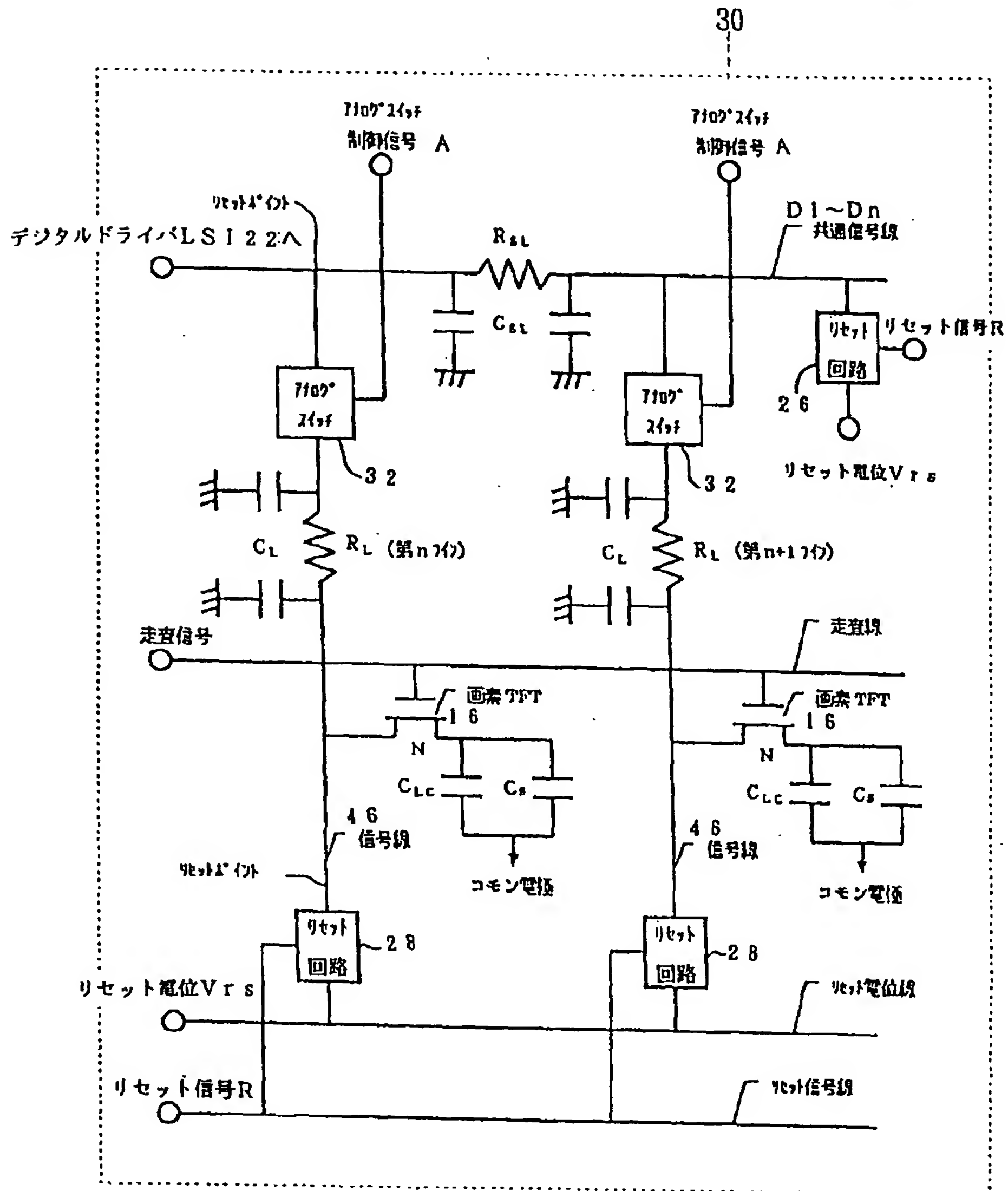
本発明の原理を説明するための液晶表示装置の基本構成図





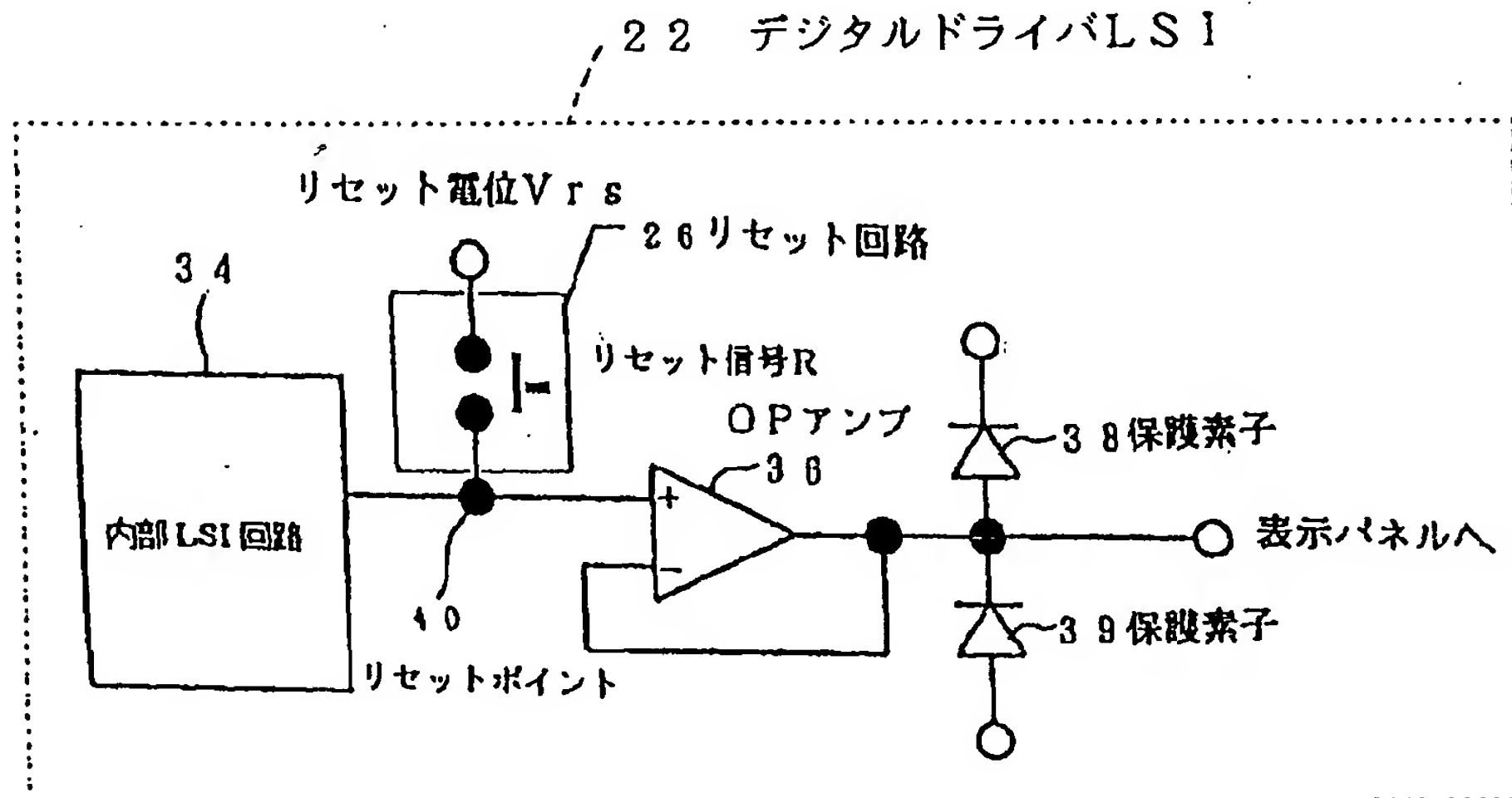
【図7】

アナログスイッチを備えた本発明の液晶表示装置の基本構成図



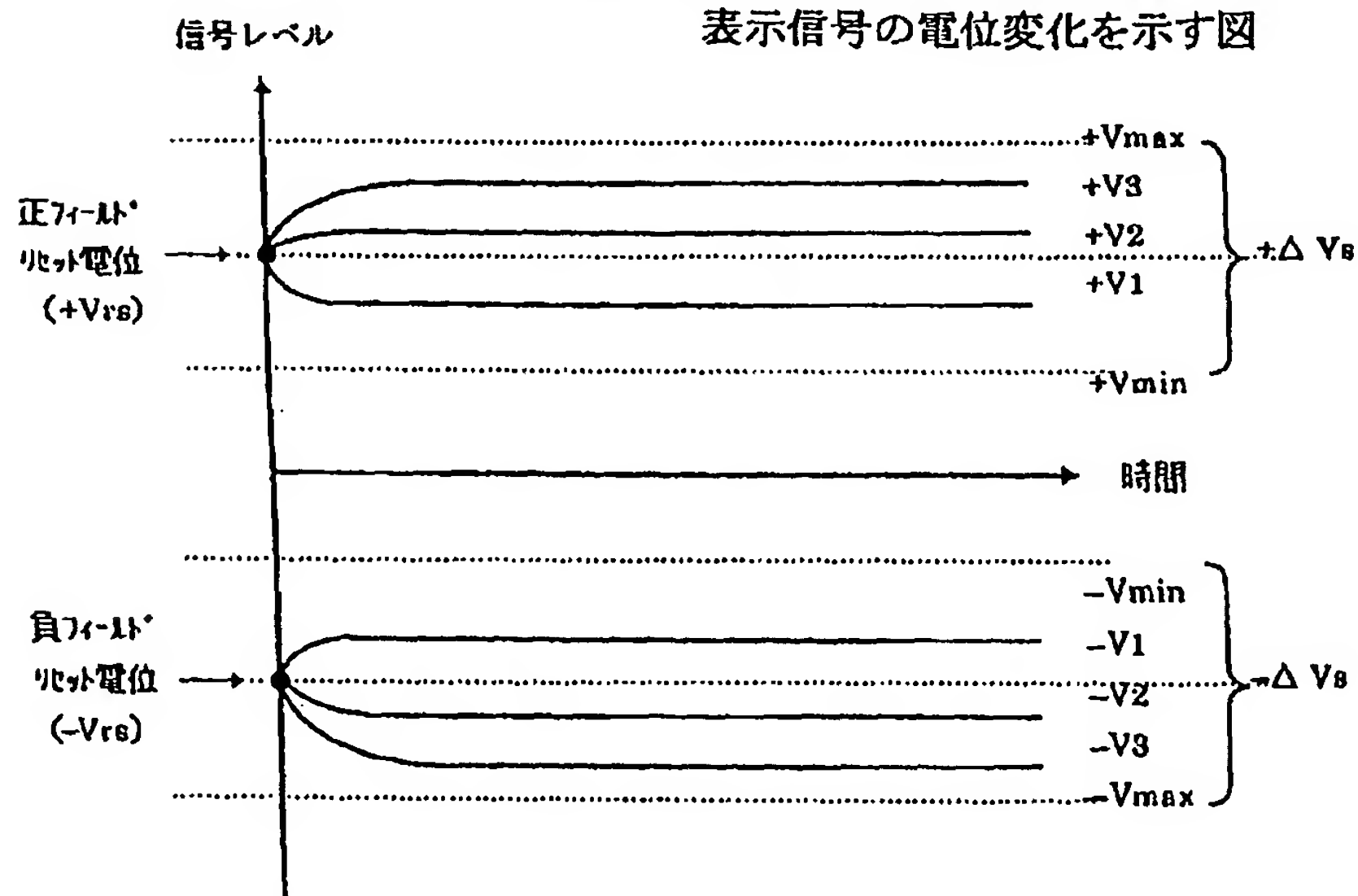
【図10】

内部にリセット回路を有するデジタルドライバLSIの  
リセット信号出力部の等価回路図



【図16】

リセット電位が $\pm 1/2 \Delta V_s$ である場合の  
表示信号の電位変化を示す図

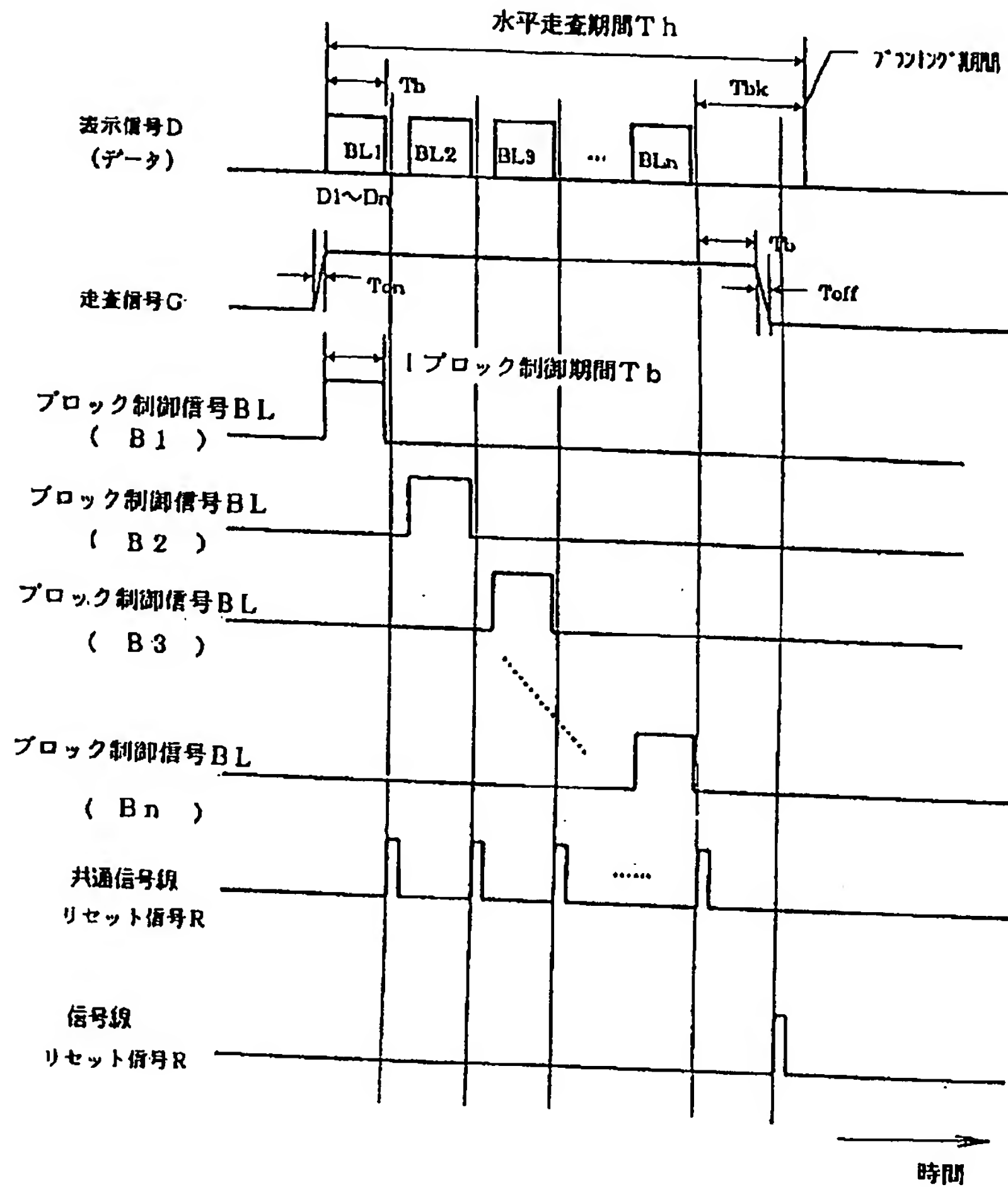






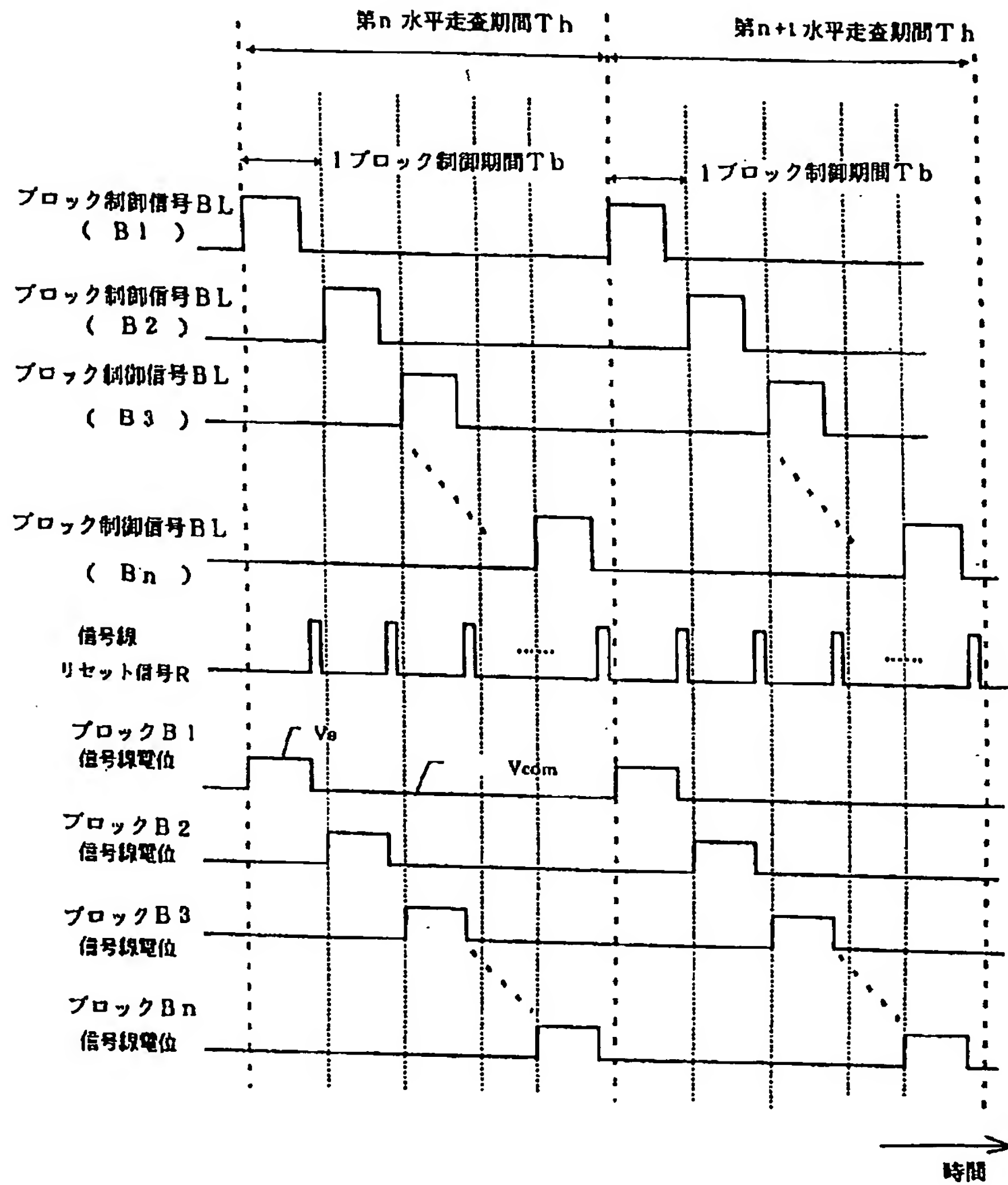
【図12】

本発明の液晶表示装置に与えられる表示信号、走査信号、ブロック制御信号及びリセット信号のタイミング図



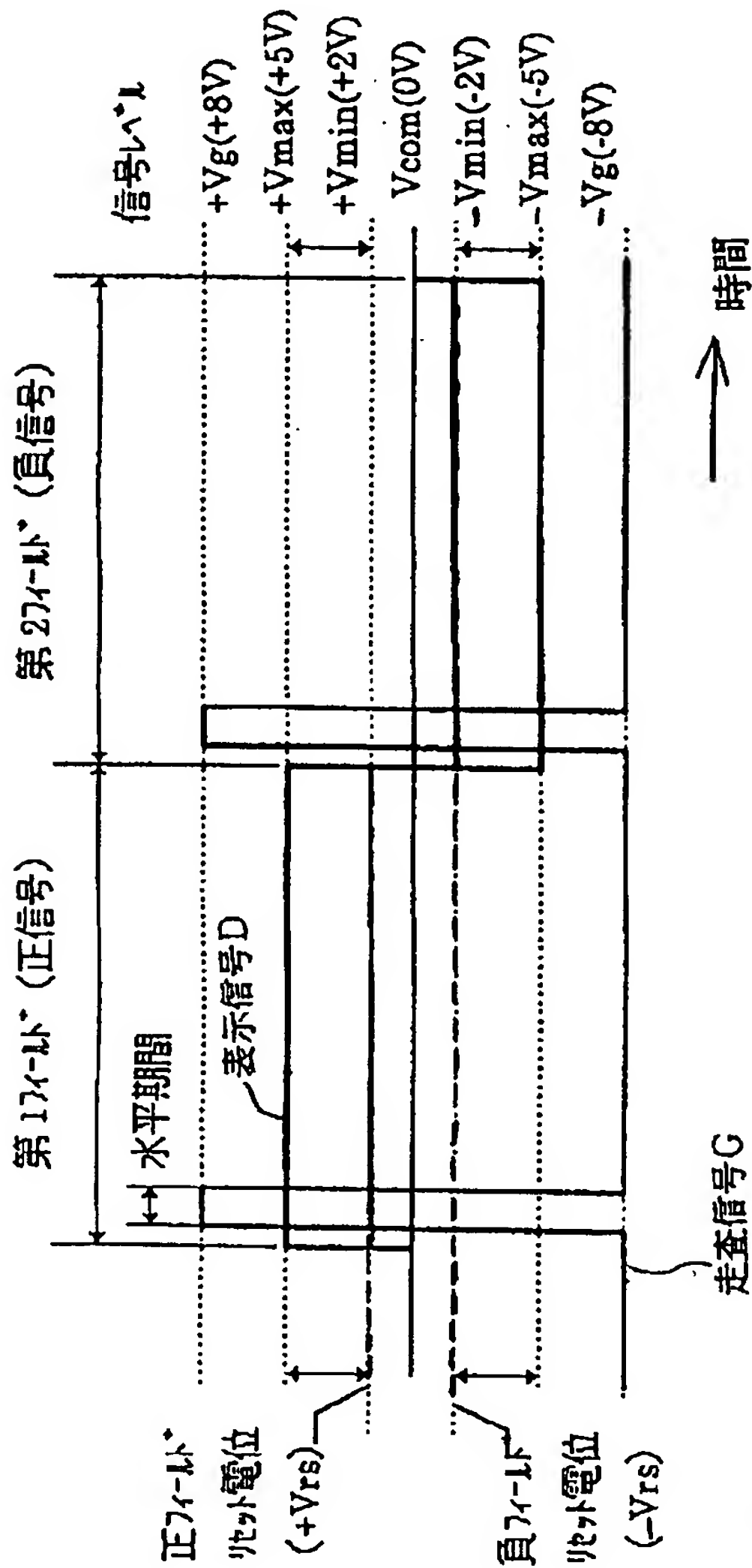
【図13】

ブロック制御信号とリセット信号と信号線電位との関係を示す図

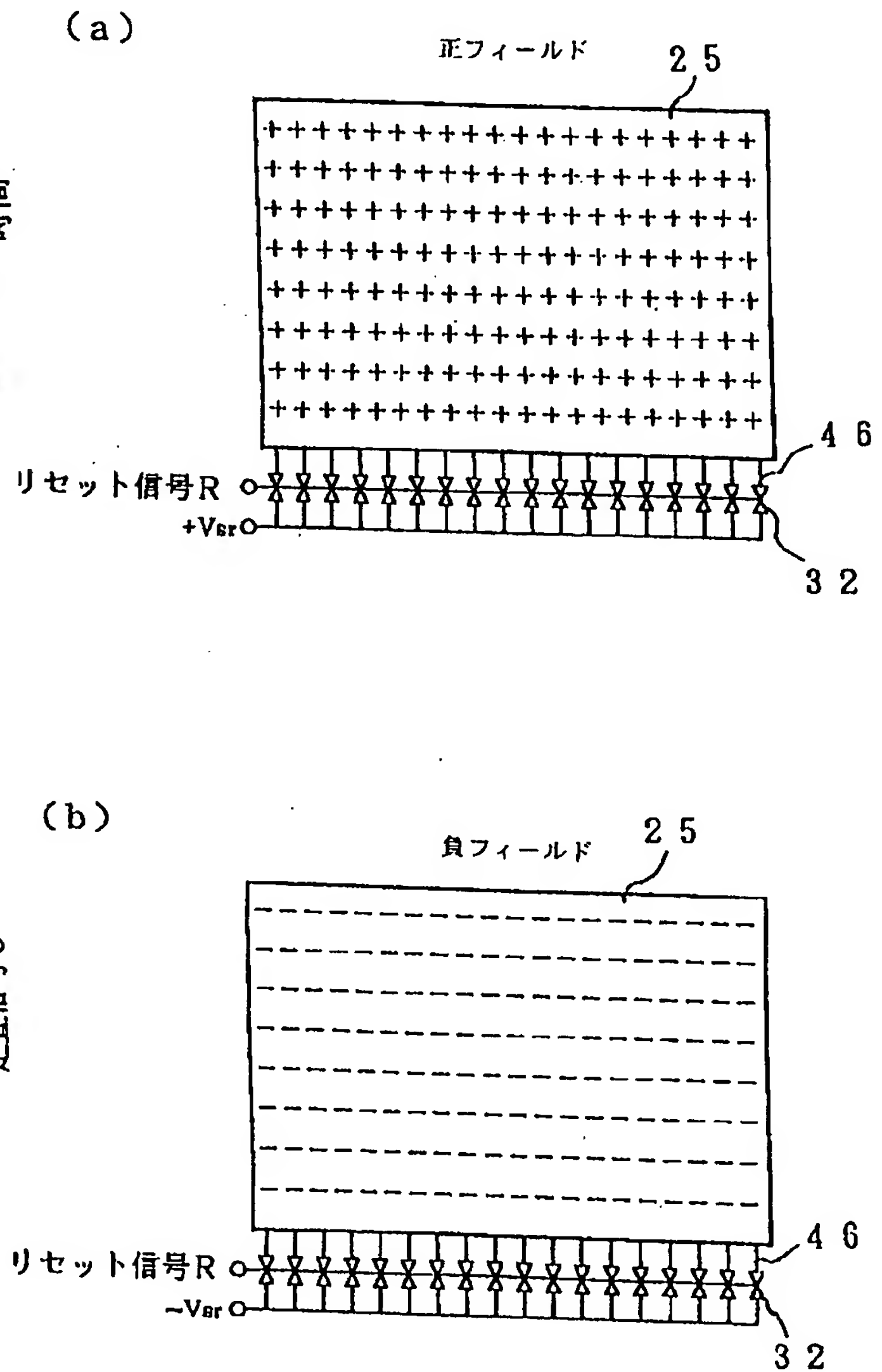


【図14】

リセット電位の極性の変化を示す図

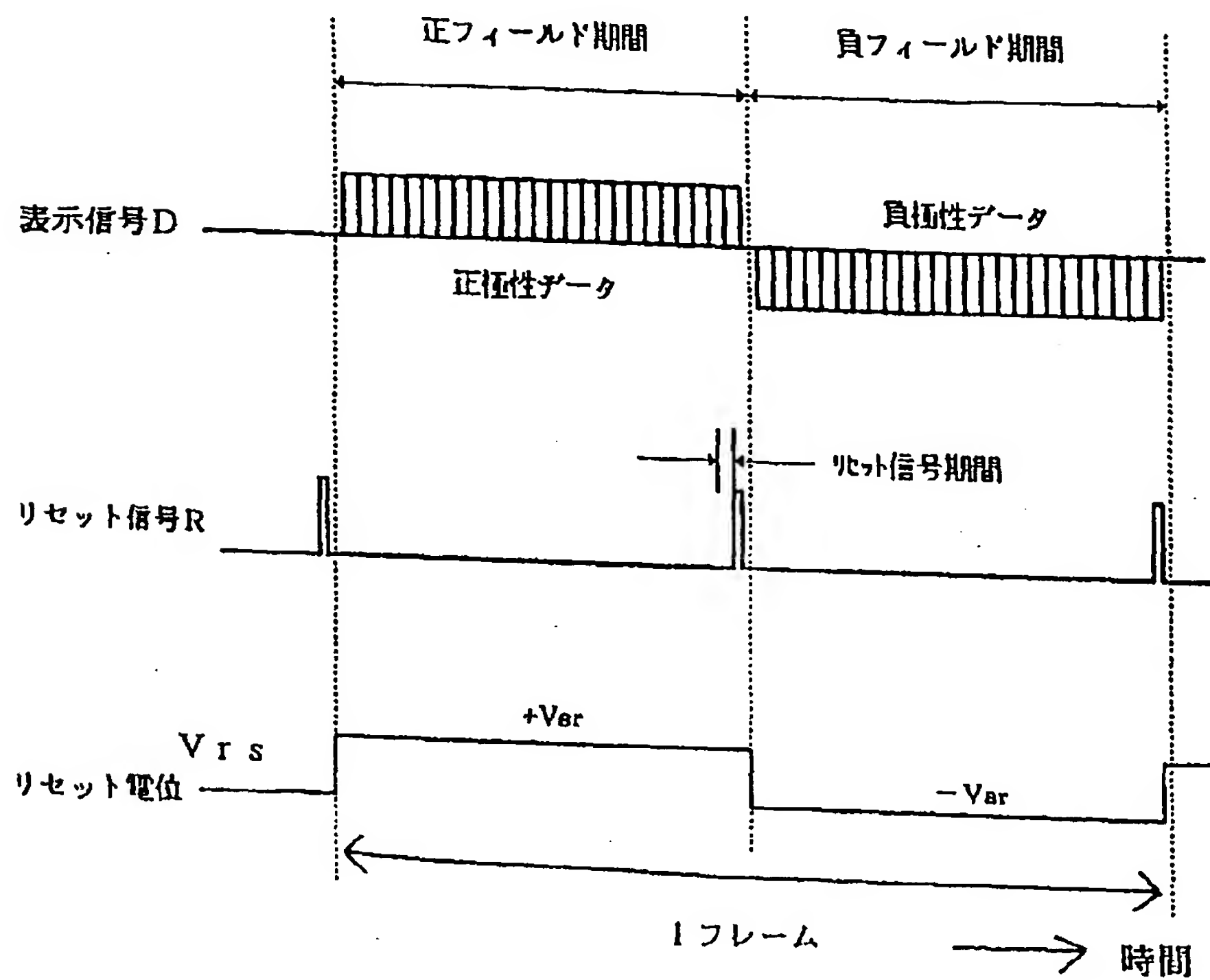


【図17】

フィールド反転される液晶表示装置における  
リセット電位の極性を示す図


【図18】

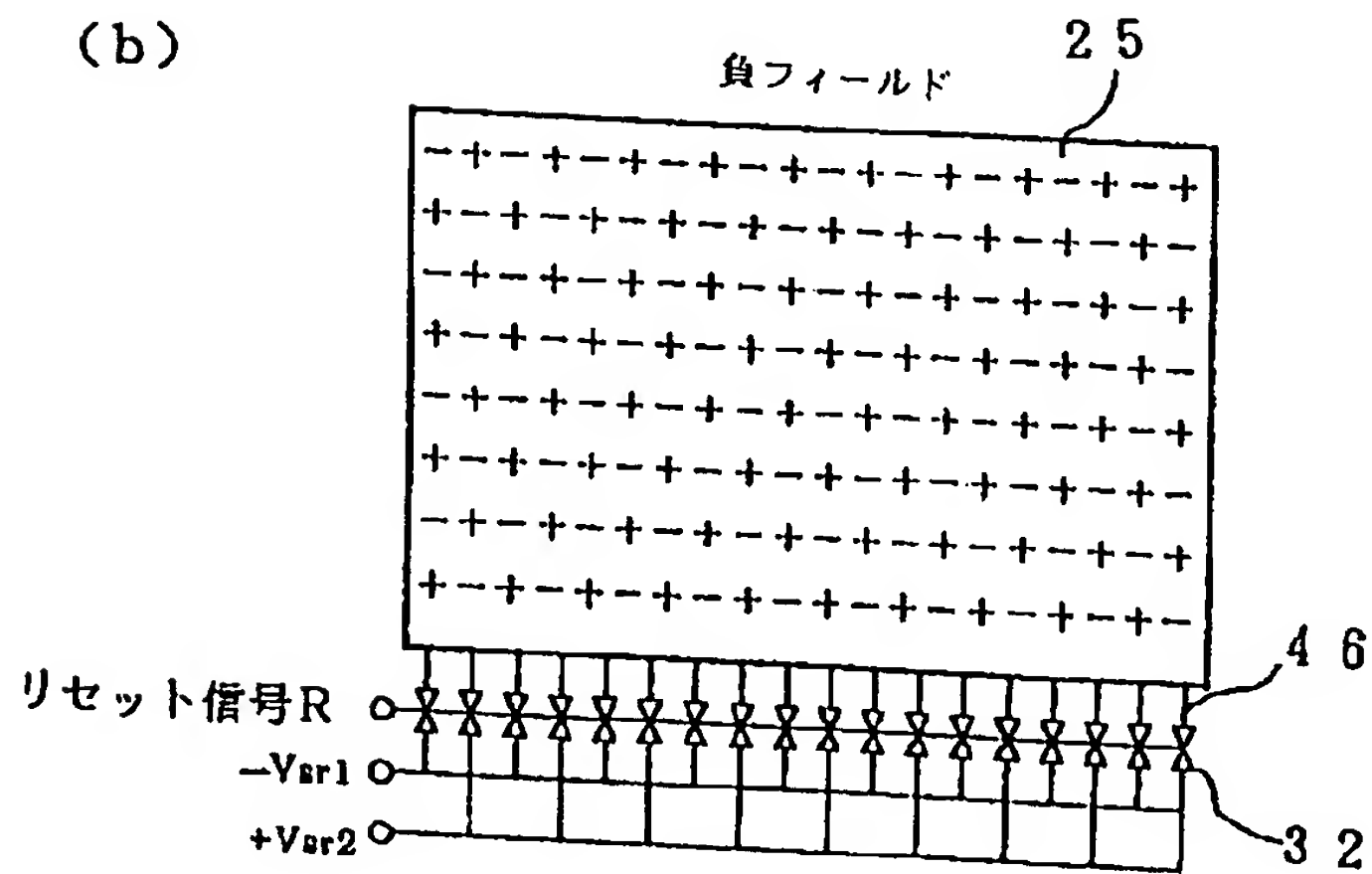
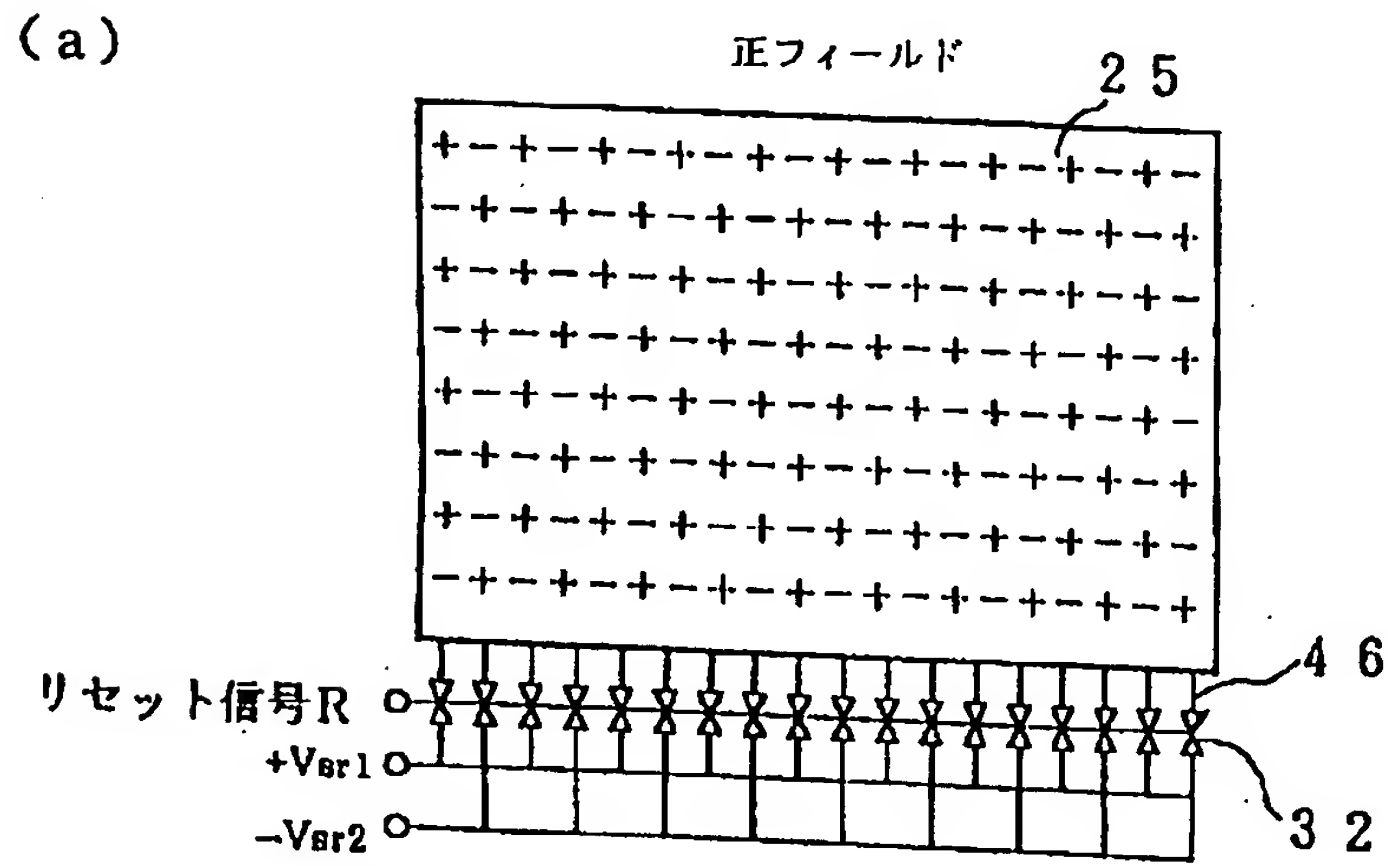
フィールド反転される液晶表示装置における表示信号、  
リセット信号及びリセット電位のタイミング図





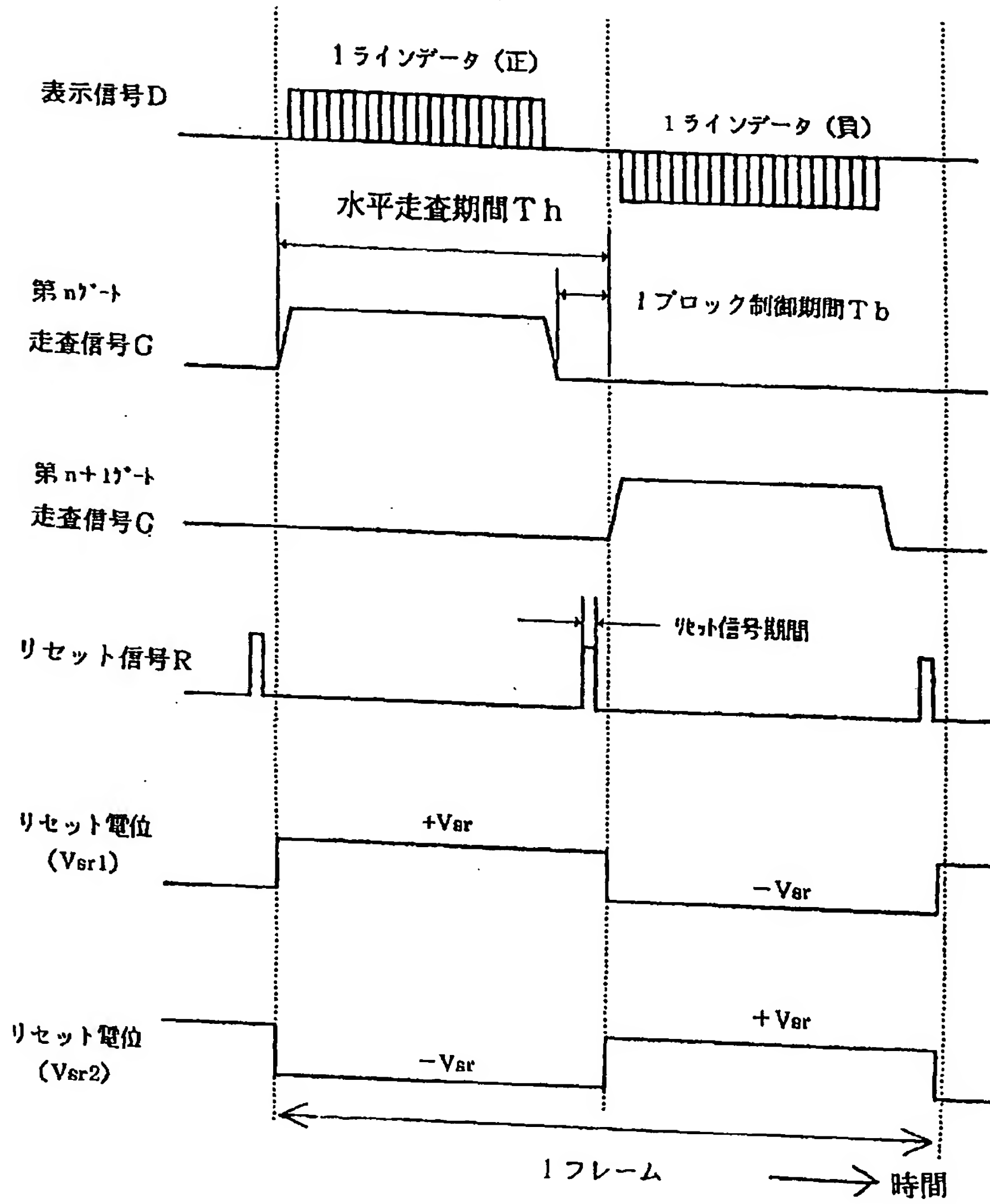
【図19】

H/Vライン反転される液晶表示装置における  
リセット電位の極性を示す図



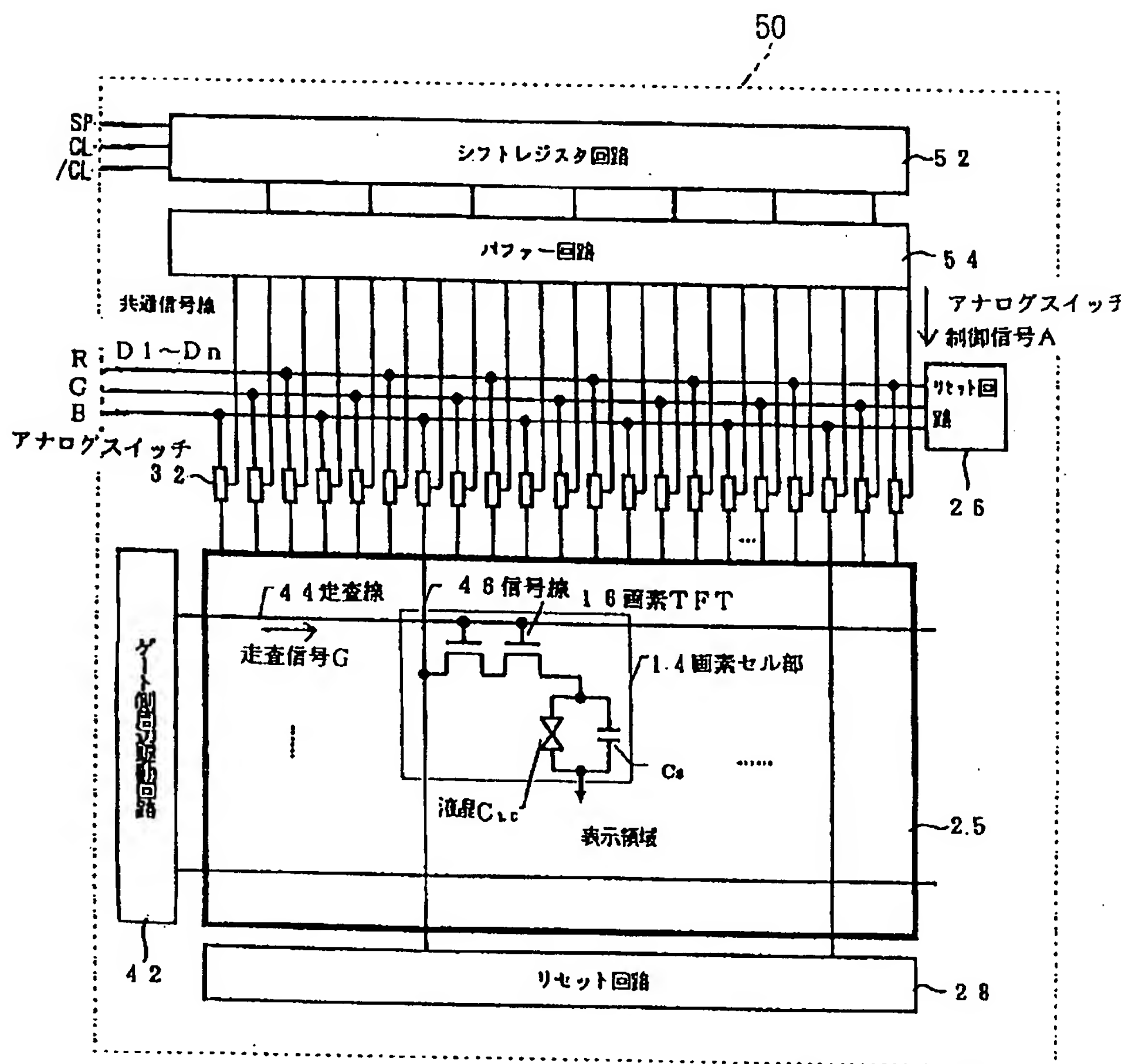
【図20】

H/Vライン反転される液晶表示装置における表示信号、リセット信号、リセット電位のタイミング図



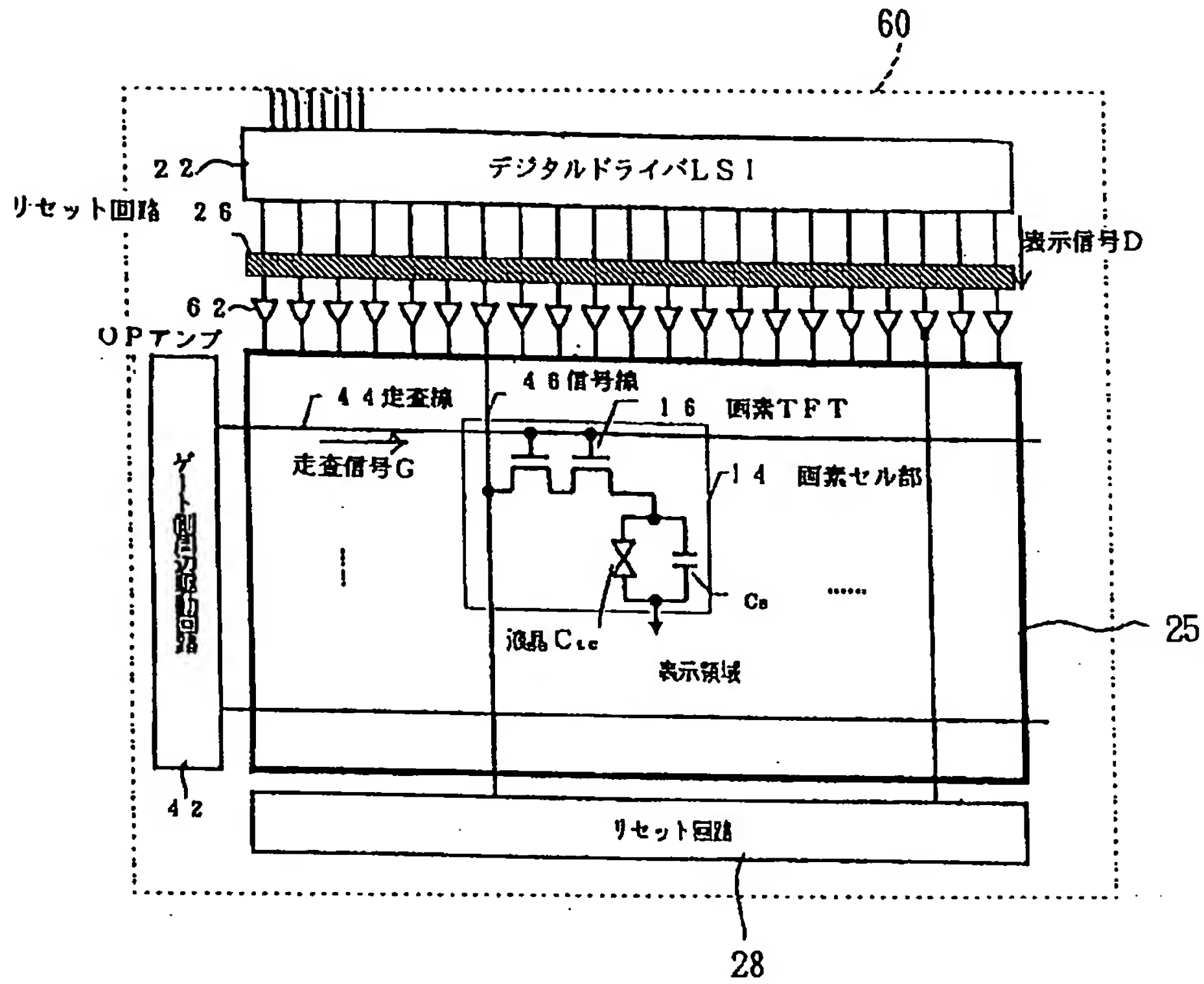
【図21】

本発明の第2実施例である液晶表示装置の構成図



【図22】

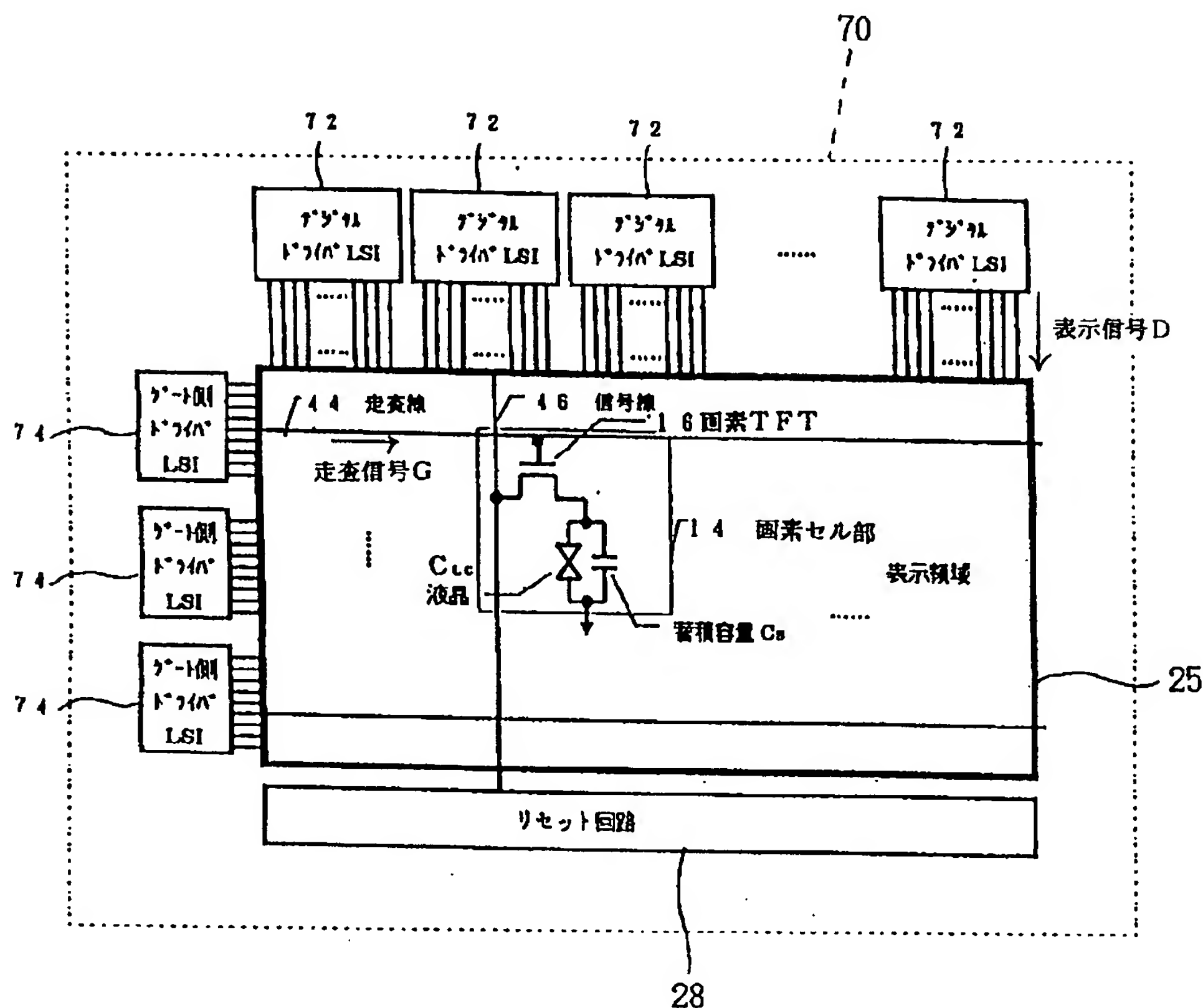
本発明の第3実施例である液晶表示装置の構成図





【図23】

本発明の第4実施例である液晶表示装置の構成図



フロントページの続き

Fターム(参考) 2H093 NA16 NA34 NA80 NC13 NC16  
 NC25 NC26 NC34 NC90 ND05  
 ND09 ND15 ND36 ND37 ND52  
 NF05  
 5C006 AC11 AF42 AF50 AF71 AF73  
 BB16 BC03 BC06 BC12 BC20  
 BF03 BF25 EB05 FA22 FA25  
 5C058 AA08 BA06 BB25  
 5C080 AA10 BB05 DD05 EE28 FF11  
 JJ02 JJ04 JJ05

